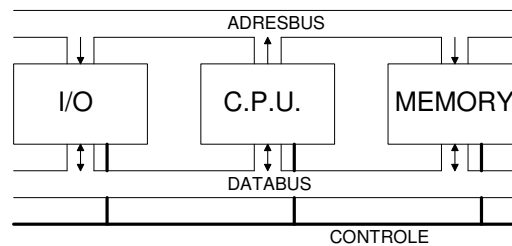


HALFGELEIDER-GEHEUGENS

Halfgeleider geheugens:

- elektronische schakelingen
- kunnen binaire informatie opnemen, bewaren en weergeven
- vaak als geheugenblok in complex digitaal systeem
- voorbeeld: (micro)computersysteem



Geheugens

DIGITALE ELEKTRONICA 1ELO_4° blok

HALFGELEIDER-GEHEUGENS

Geheugen-organisatie:

- elke data-bit heeft één geheugencel nodig
- bits kunnen meestal niet afzonderlijk maar per *woord* bewerkt
- woordbreedte bepaalt breedte van de databus (8, 16, 32, 64 bit)
- geheugendiepte = aantal woorden
(normaal een macht van 2)

- geheugen-capaciteit =

m woorden x **n** bits

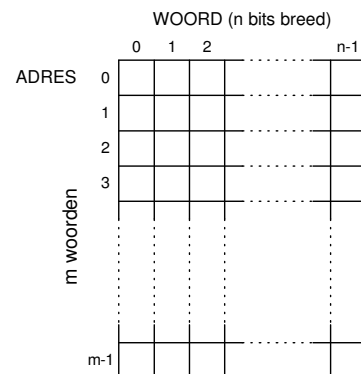
uitgedrukt in:

byte (= 8 bits)

kilo ($1k = 2^{10} = 1.024$)

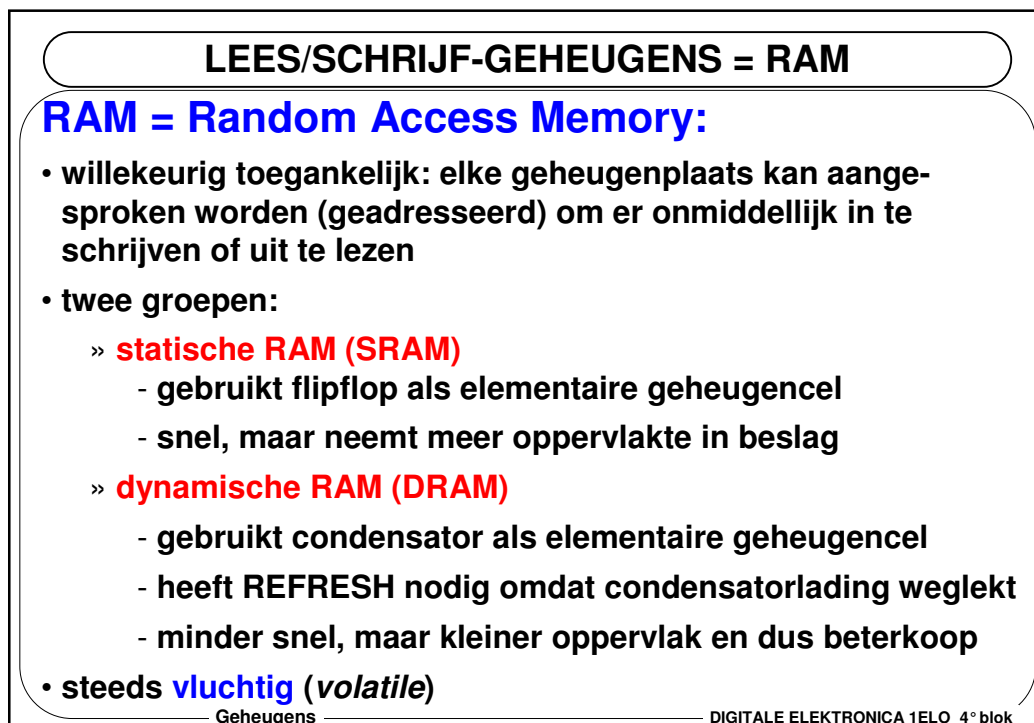
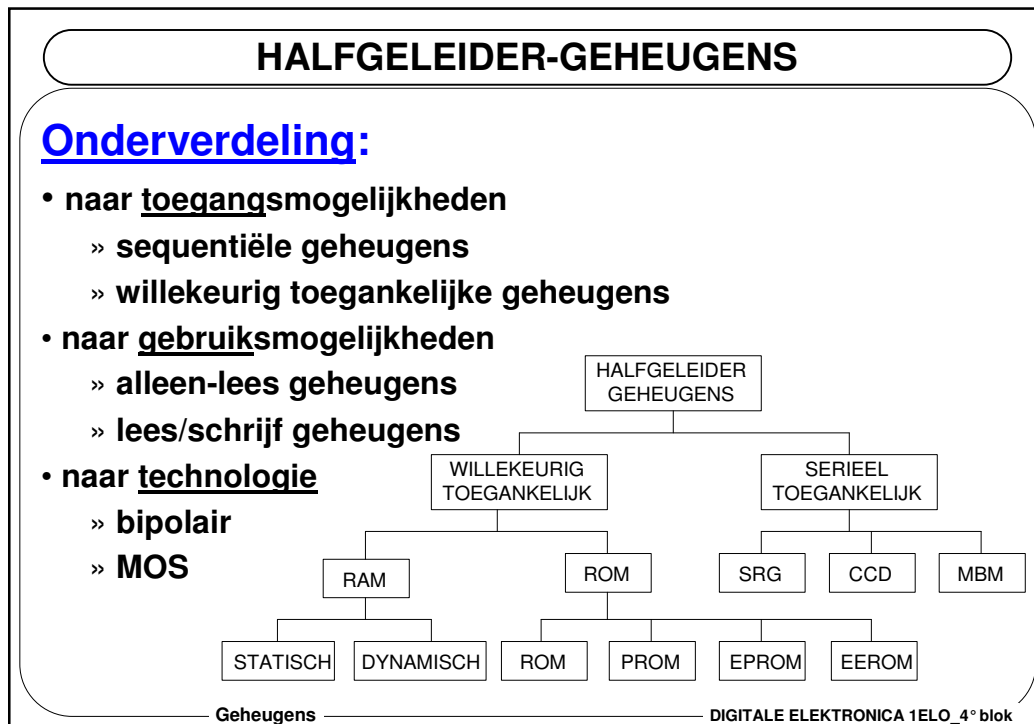
mega ($1M = 2^{20} = 1.048.576$)

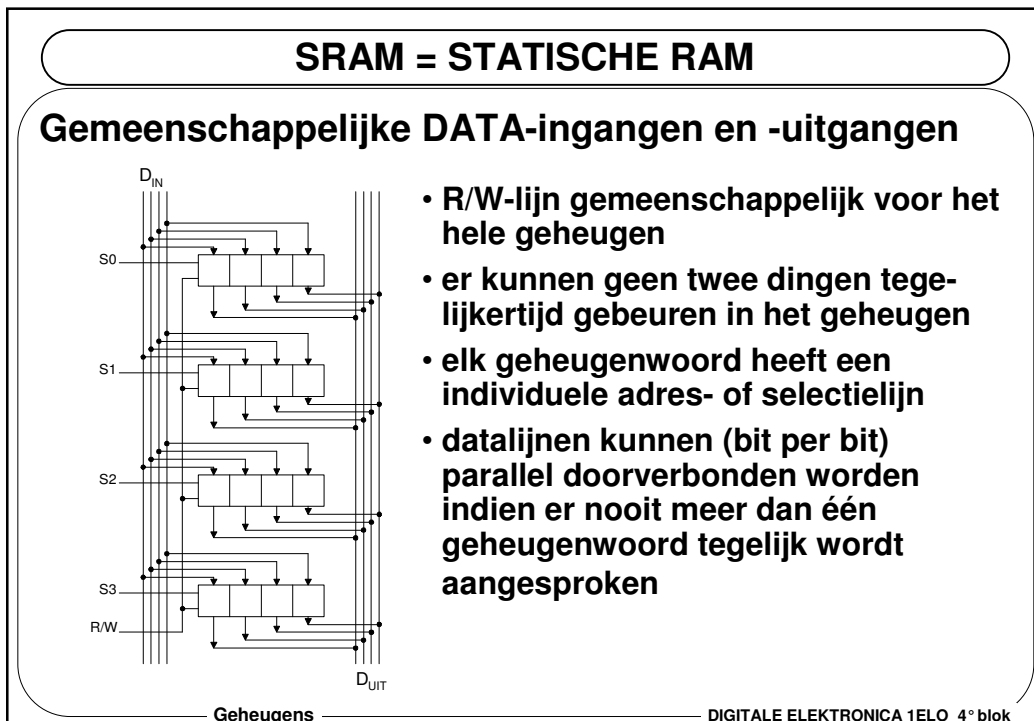
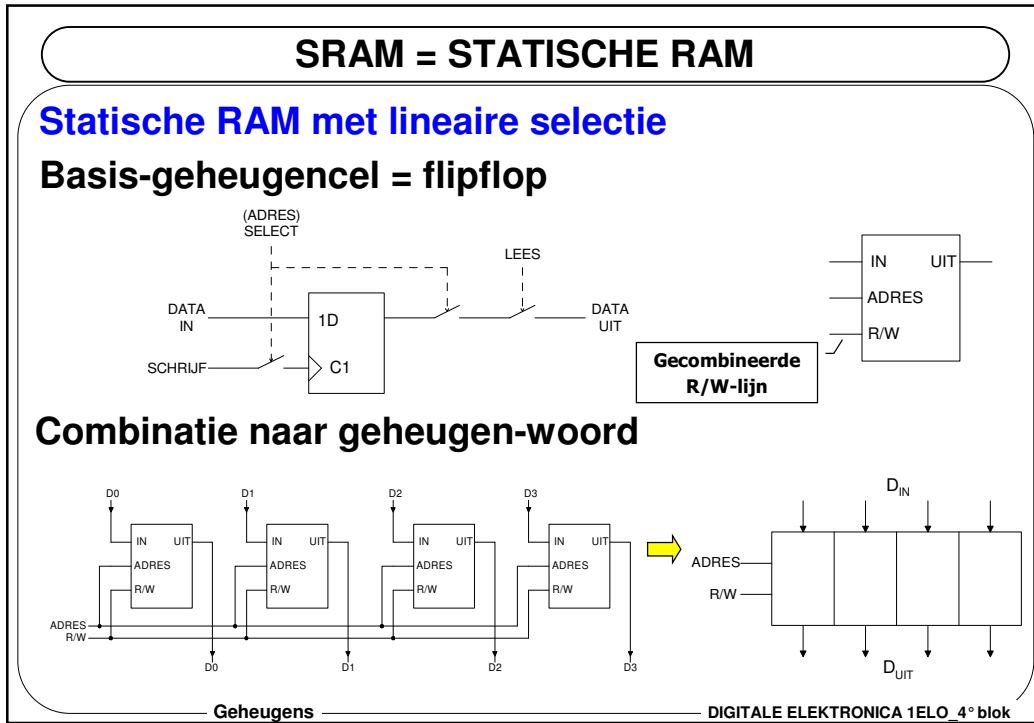
giga ($1G = 2^{30} = 1.073.741.824$)

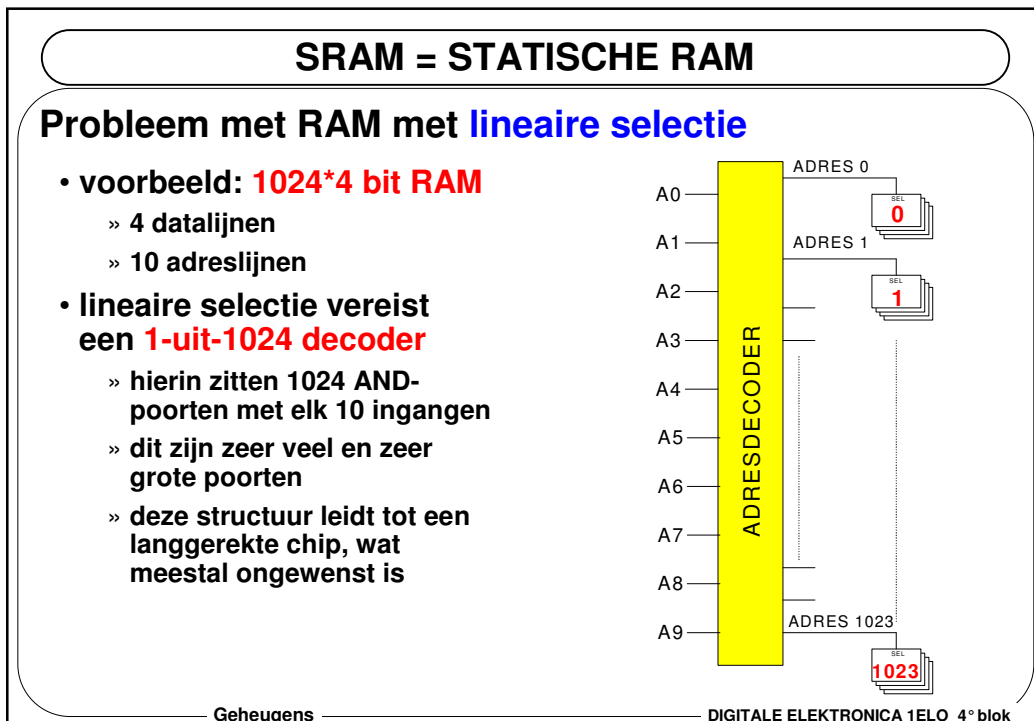
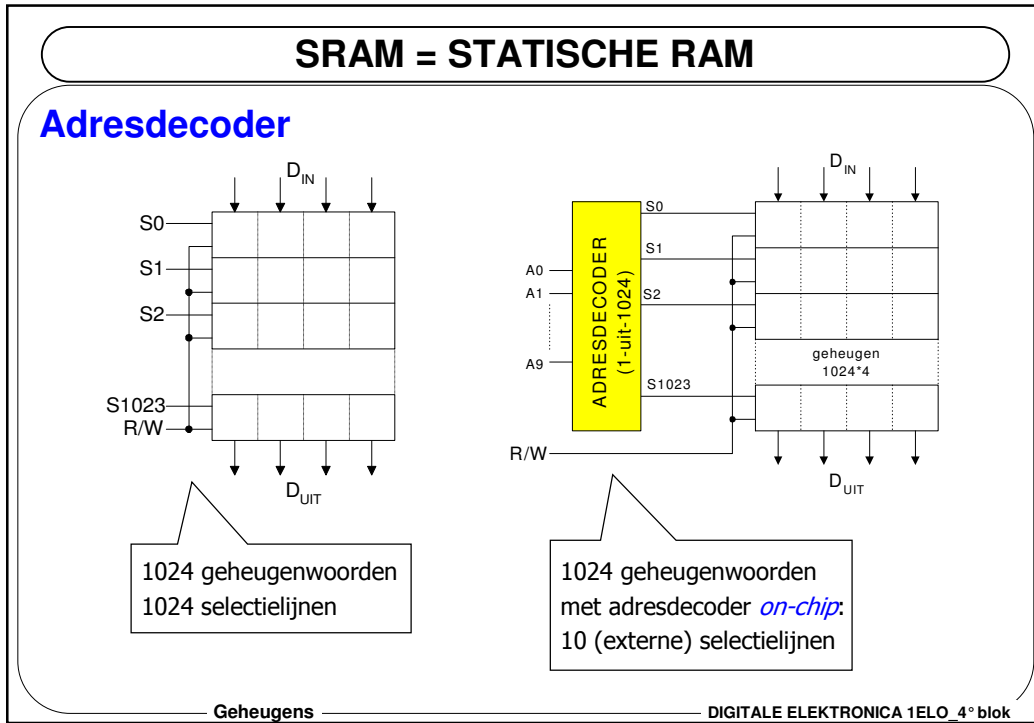


Geheugens

DIGITALE ELEKTRONICA 1ELO_4° blok







SRAM = STATISCHE RAM

Oplossing:

coïncidentie selectie

- » elke geheugencel heeft **twee** select-ingangen
- » cellen worden opgenomen in x-y **matrix (array)**
 - » hier: 32*32 matrix
- » **twee** adresdecoders: rij-adres en kolom-adres
 - » elk maar 1-uit-32 decoder
 - » nu slechts 64 AND-poorten met elk 5 ingangen nodig (lineair : 1024 * AND_10 !)

Geheugens DIGITALE ELEKTRONICA 1ELO_4° blok

Statische RAM IC's (SRAM)

Voorbeeld SRAM IC : LH5116 van Sharp
 Grootte : 2k x 8 bit

Geheugens DIGITALE ELEKTRONICA 1ELO_4° blok

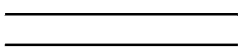
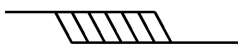
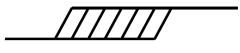
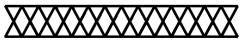
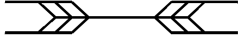

Statische RAM IC's (SRAM)

Samengevat:

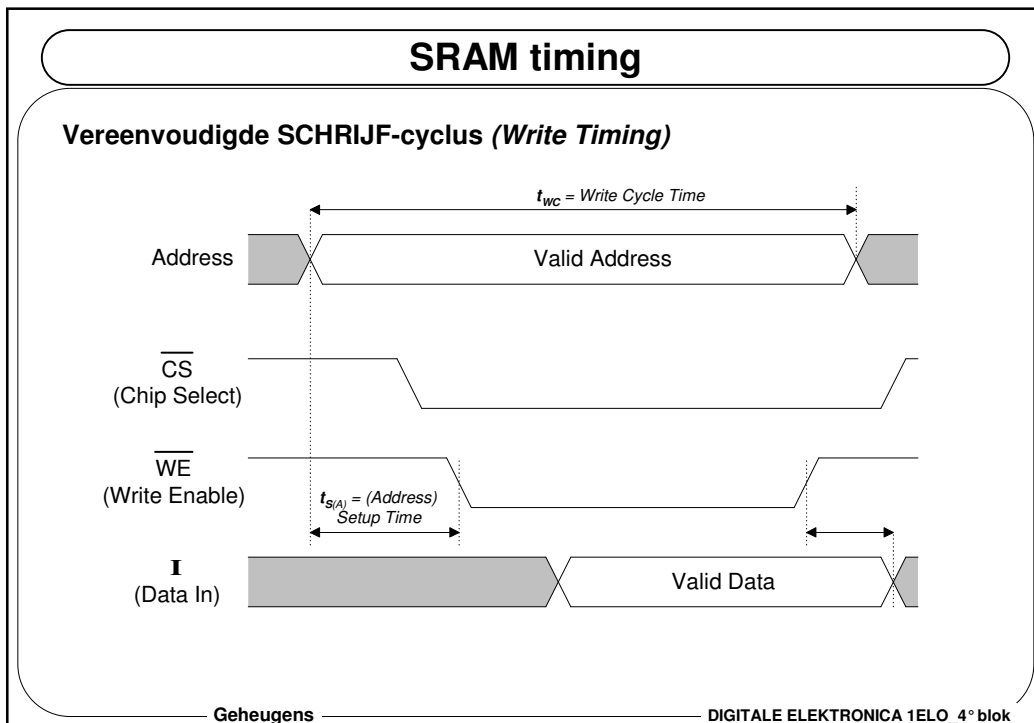
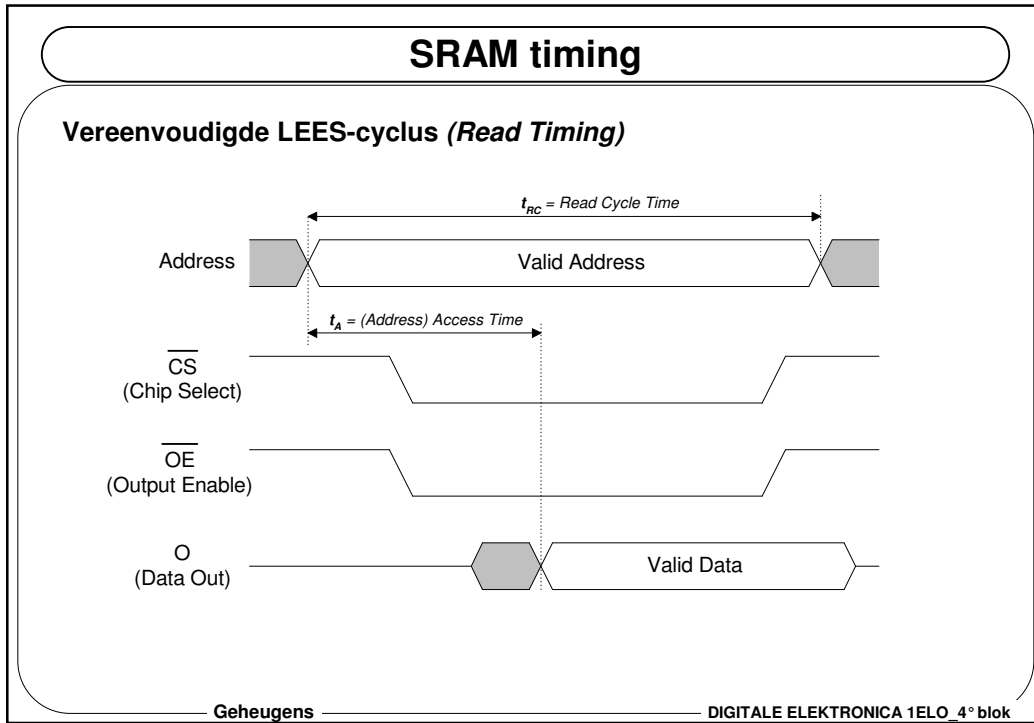
$\overline{\text{CS}}$	$\overline{\text{WE}}$	
1	X	geheugenstand, IC is niet geactiveerd
0	0	schrijfbewerking (write)
0	1	leesbewerking (read)

Geheugens
DIGITALE ELEKTRONICA 1ELO_4° blok

Symbolen tijdsdiagrammen

<u>Ingang</u>		<u>Uitgang</u>
	<ul style="list-style-type: none"> • Moet stabiel zijn <ul style="list-style-type: none"> – Hoog of Laag 	<ul style="list-style-type: none"> • Stabiel <ul style="list-style-type: none"> – Hoog of Laag
	<ul style="list-style-type: none"> • Verandering van hoog naar laag toegestaan 	<ul style="list-style-type: none"> • Verandert van hoog naar laag in het gegeven interval
	<ul style="list-style-type: none"> • Verandering van laag naar hoog toegestaan 	<ul style="list-style-type: none"> • Verandert van laag naar hoog in het gegeven interval
	<ul style="list-style-type: none"> • status mag veranderen 	<ul style="list-style-type: none"> • status onbekend of veranderend
	<ul style="list-style-type: none"> • niet van toepassing 	<ul style="list-style-type: none"> • zwevend, hoog impedant
	<ul style="list-style-type: none"> • nieuwe toestand 	<ul style="list-style-type: none"> • toestand is veranderd

Geheugens
DIGITALE ELEKTRONICA 1ELO_4° blok



SRAM IC's

- **SIZE :** van **64 bit** tot **4 Mbits**
- **ORGANISATION :** van **16 x 4** tot **512K x 8**
- **SPEED :** van **5 ns** tot **100 ns**

Voorbeelden :

2114

ADRES: A0 t/m A9
= 10 adreslijnen
= $2^{10} = 1024 = 1K$ adressen

DATA: DQ0 t/m DQ3
= 4 bidirectionele datalijnen

dus: 2114
= 1K x 4 SRAM
= 4 Kbit SRAM

HM62256

ADRES: A0 t/m A14
= 15 adreslijnen
= $2^{15} = 32K$ adressen

DATA: IO0 t/m IO7
= 8 bidirectionele datalijnen

dus: HM62256
= 32K x 8 SRAM
= 256 Kbit

Geheugens DIGITALE ELEKTRONICA 1ELO_4° blok

Battery back-up

- **RAM geheugen is per definitie vluchtig ('volatile')**
 - spanning weg, inhoud weg!
 - leidt tot problemen:
 - » settings van toestellen (bv. kanaalkiezer van TV of radio,...)
 - » computers, ...
- **Een batterij kan er voor zorgen dat de inhoud van het geheugen toch niet verloren gaat**
 - met afzonderlijke schakeling die de voedingsspanning overneemt zodra de netspanning wegvalt
 - bruikbaar bij CMOS-RAMs (weinig stroomverbruik, power down mode)
 - kan zelfs ingebouwd worden in de IC behuizing!
- **De levensduur van een batterij is niet oneindig**
 - Is na een aantal jaren aan vervanging toe ...

Geheugens DIGITALE ELEKTRONICA 1ELO_4° blok

CACHE MEMORY

CACHE-geheugen in computersysteem = voornaamste toepassing van SRAM

- eerder klein geheugen van hoge snelheid
- bewaart recent gebruikte instructies en/of data als kopie uit het grotere (maar tragere) intern geheugen (=DRAM - zie verder)
- soort tussengeheugen, waardoor de systeem-performantie aanzienlijk toeneemt zonder het volledige geheugen sneller (en dus duurder) te moeten maken
- **level 1 cache**
 - meestal intern in μP ,
 - zeer beperkt in omvang
- **level 2 cache**
 - afzonderlijke chip(set),
 - iets omvangrijker dan L1 cache

Geheugens DIGITALE ELEKTRONICA 1ELO_4° blok

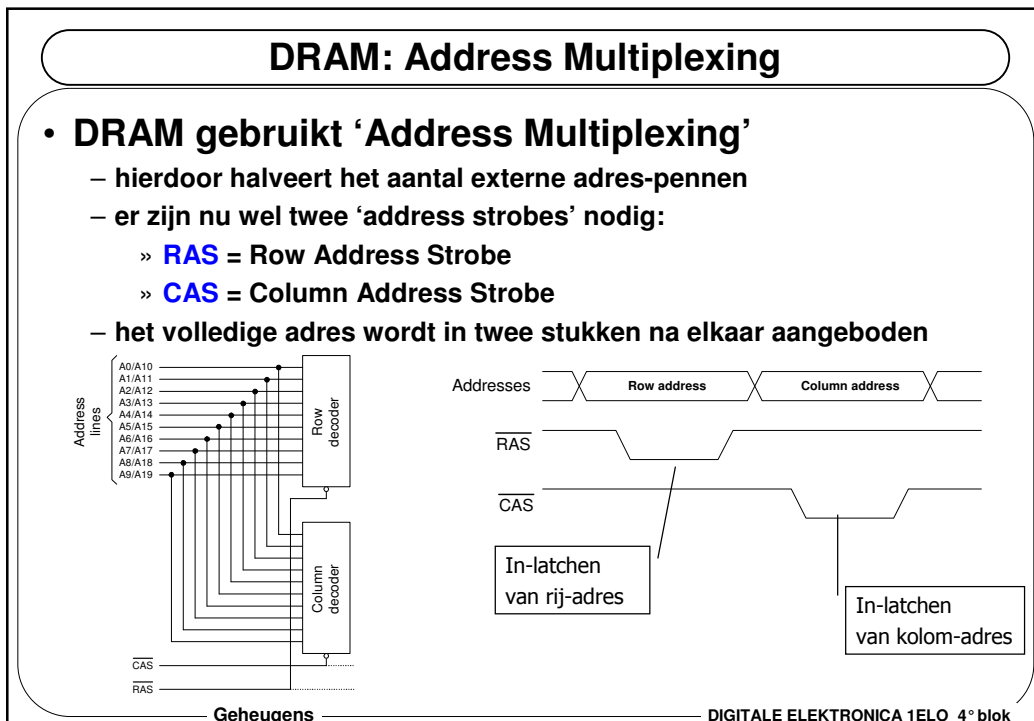
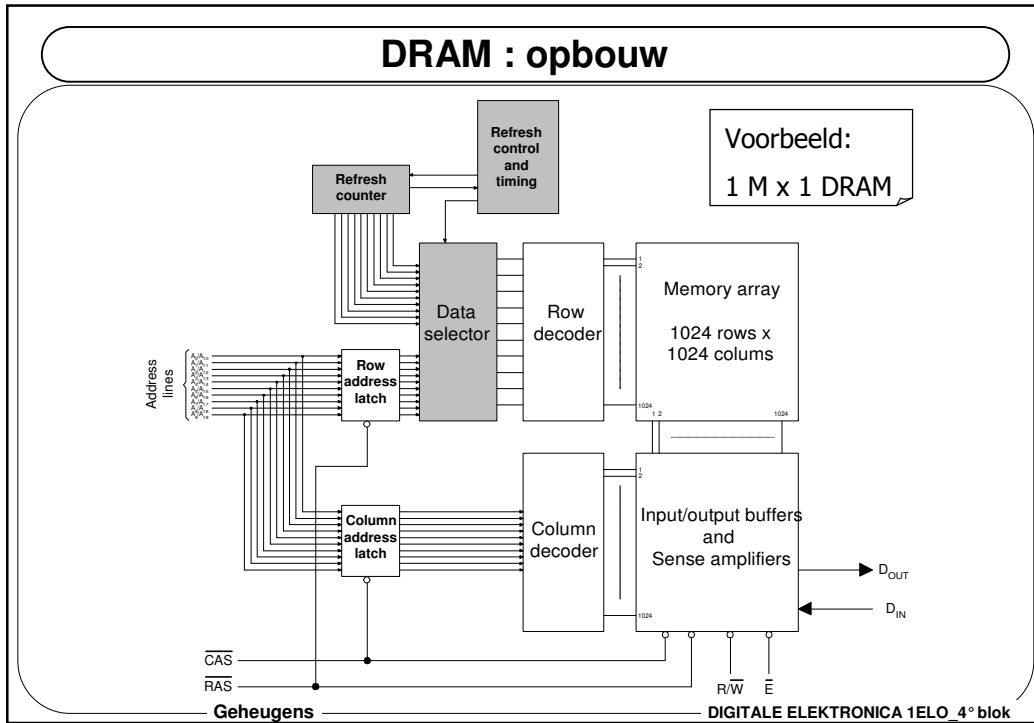
DRAM = DYNAMISCHE RAM

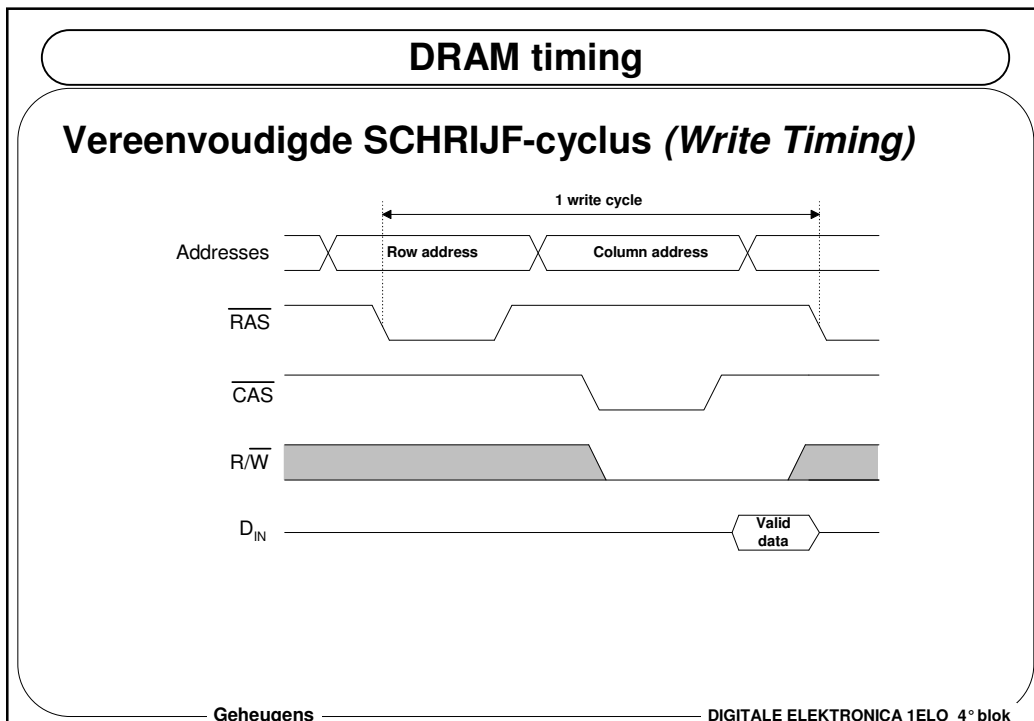
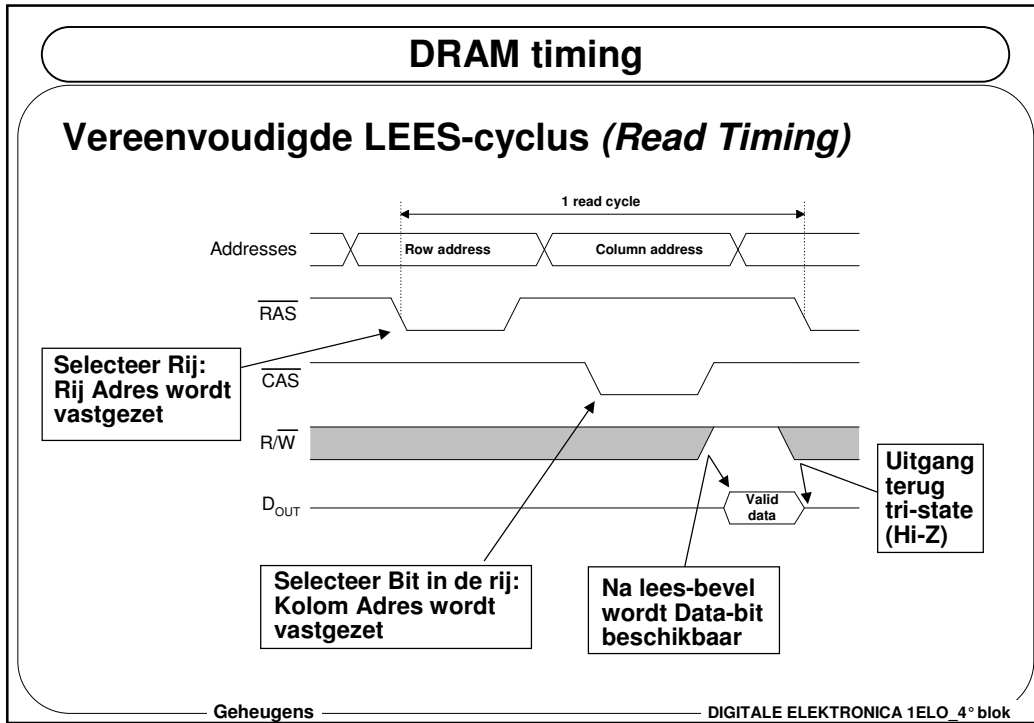
Dynamische RAM

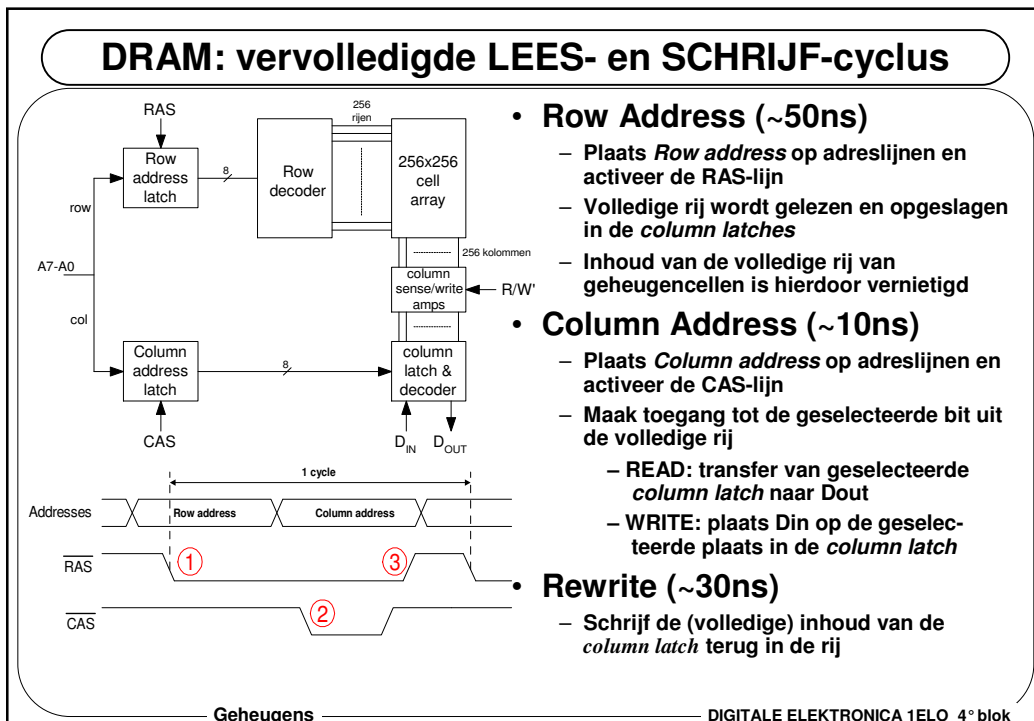
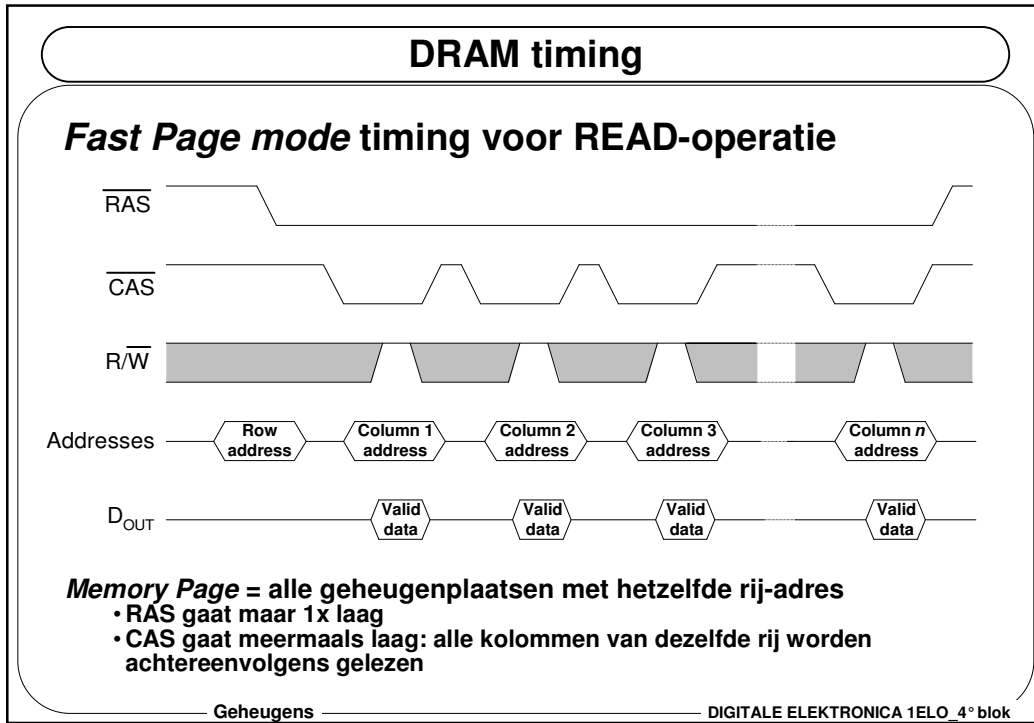
- bit wordt opgeslagen in kleine condensator i.p.v. in flipflop
- basiscel is zeer eenvoudig

- hierdoor kunnen er veel meer bits op een chips geplaatst worden en dit tegen een lagere prijs per bit (vergeleken met SRAM)
- nadeel: aangebrachte lading lekt weg van de condensator
- daarom moet er regelmatig REFRESH gebeuren
 - » om de 8 tot 16 ms (sommige zelfs tot 100 ms)
- dit vereist bijkomende schakeling en bemoeilijkt de werking

Geheugens DIGITALE ELEKTRONICA 1ELO_4° blok







DRAM: REFRESH

- **DRAM heeft *REFRESH* nodig**
 - geheugen is gebaseerd op ladingopslag op condensator
 - lading lekt weg en moet dus 'ververst' worden om juiste bitwaarde te behouden
 - dit moet om de 8 ms à 16 ms gebeuren (alhoewel er tegenwoordig al devices zijn die slechts om de 100 ms moeten ververst worden)
- **Een *READ*-operatie ververst automatisch alle adressen van de geselecteerde rij**
 - deze lees-operaties gebeuren echter niet systematisch en niet vlug genoeg om het volledige geheugen op peil te houden
- **Er zullen dus speciale *REFRESH*-cycli moeten ingebouwd worden in DRAM-systemen**
 - twee principes: *burst refresh* en *distributed refresh*

Geheugens

DIGITALE ELEKTRONICA 1ELO_4° blok

DRAM: REFRESH

- ***BURST REFRESH***
 - alle rijen in het geheugen worden achtereenvolgens ververst tijdens de refresh-periode
 - vb. geheugen met 8 ms refresh-periode:
 - » om de 8 ms gebeurt een refresh van alle rijen in één blok snel achter elkaar
 - » normale lees/schrijf-operaties worden tijdelijk uitgesteld
- ***DISTRIBUTED REFRESH***
 - elke rij wordt afzonderlijk ververst ergens tussen de normale lees/schrijf-operaties door
 - vb. geheugen van 1024 rijen met 8 ms refresh-periode:
 - » om de $8\text{ ms} / 1024 = 7.8\ \mu\text{s}$ moet er een refresh van een rij gebeuren
 - » normale lees/schrijf-operaties lopen quasi door

Geheugens

DIGITALE ELEKTRONICA 1ELO_4° blok

DRAM: REFRESH

- **REFRESH-operaties : verschillende mogelijkheden**
 - RAS-only refresh
 - CAS before RAS (automatic) refresh
 - hidden refresh (read) cycle
 - hidden refresh (write) cycle
 - self refresh
- **vereist 'refresh control and timing' on-chip**
- **externe 'refresh controller'**
- **'PSEUDOSTATIC RAM'**
 - = dynamische RAM maar de volledige refresh-logica is mee geïntegreerd (waardoor minder bits voor dezelfde oppervlakte, maar er is geen externe logica nodig)

Geheugens DIGITALE ELEKTRONICA 1ELO_4° blok

DRAM: evolutie

- **Verleden:**
 - FPM DRAM : Fast Page Mode DRAM
 - » eerste generatie DRAM
 - EDO DRAM : Extended Data Output DRAM
 - » tweede generatie DRAM (vanaf 4 Mbit)
- **Heden:**
 - SDRAM : Synchronous DRAM
 - » derde generatie DRAM (vanaf 16 Mbit)
 - SDRAM-DDR : Synchronous DRAM with Double Data Rate
- **Toekomst (nabije?):**
 - SLDRAM : SyncLink DRAM
 - DRDRAM : Direct Rambus DRAM
 - Concurrent Rambus DRAM
 - ...

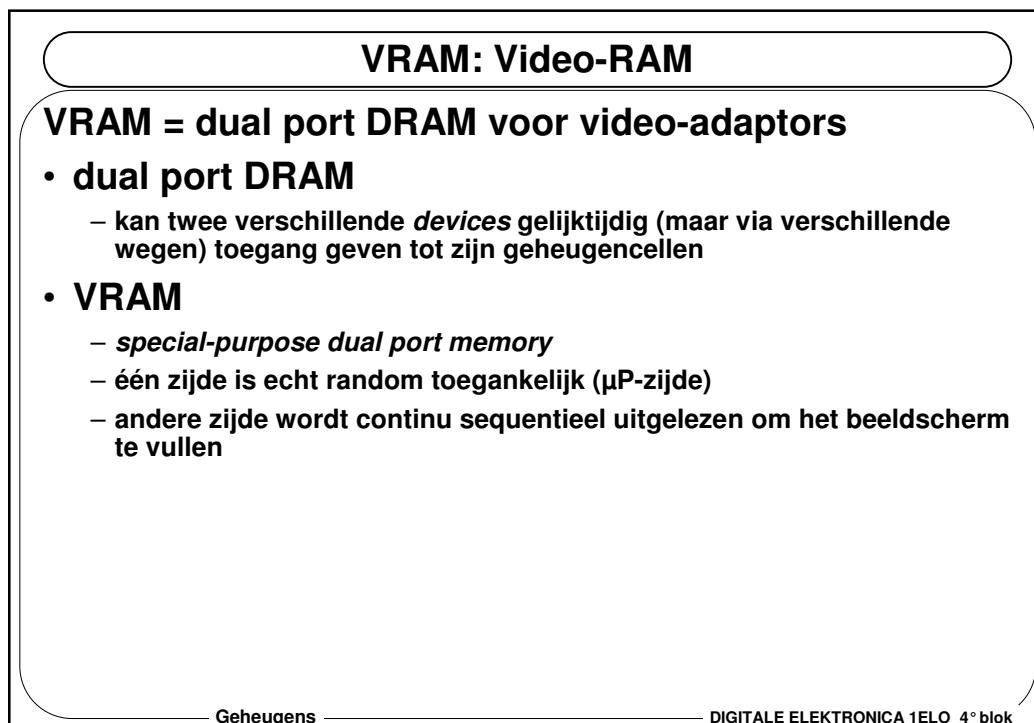
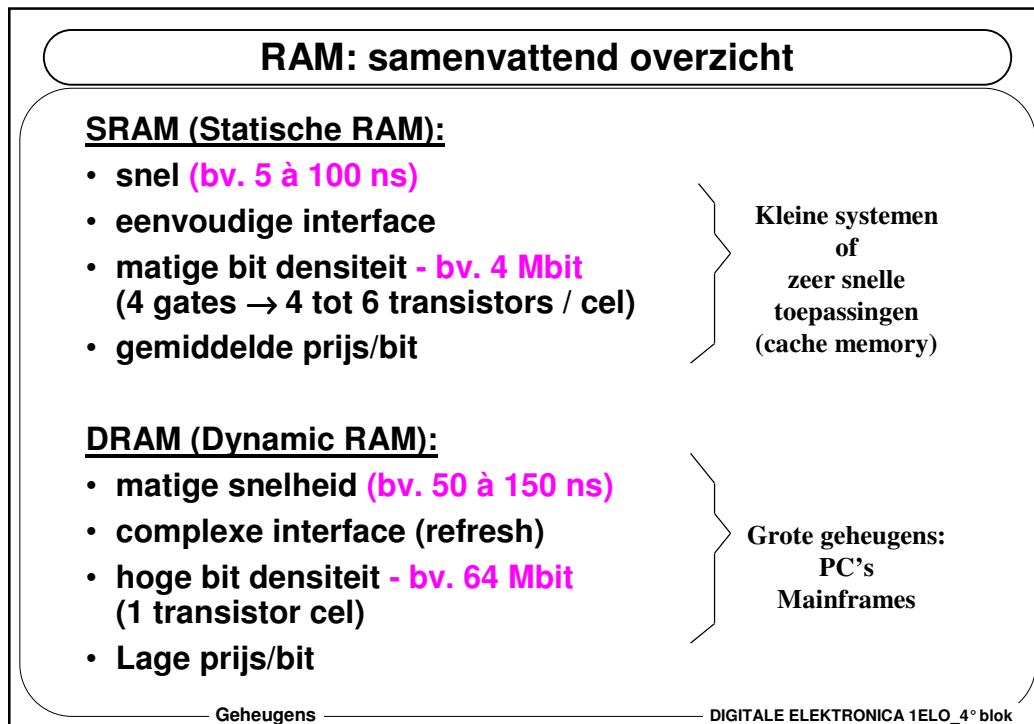
Omvang:
van 64Kbit
tot 1 Gbit

Configuratie:
van 64Kx1
tot 256Mx4

Snelheid:
van 50ns tot 150ns
cycle time

DRAM
geheugen-IC's

Geheugens DIGITALE ELEKTRONICA 1ELO_4° blok



GEHEUGENUITBREIDING (1)

Uitbreiding van de woordbreedte

- Voorbeeld:
 - SRAM 2114 = 1Kx4
- Bouw met IC's van dit type een 1Kx8 geheugen
- Principe:
 - adres- en controlelijnen in parallel op beide IC's
 - het éne IC zorgt voor de 4 minst beduidende data-bits, het andere voor de 4 meest beduidende

Geheugens DIGITALE ELEKTRONICA 1ELO_4^o blok

GEHEUGENUITBREIDING (2)

Uitbreiding van het adresbereik

- Voorbeeld:
 - SRAM 2114 = 1Kx4
- Bouw met IC's van dit type een 2Kx4 geheugen
- Principe:
 - datalijnen in parallel met beide IC's verbinden
 - Write Enable blijft gemeenschappelijk voor beide IC's
 - 10 minst-beduidende adreslijnen in parallel met beide IC's verbinden
 - meest-beduidende adreslijn rechtstreeks op CS van een IC en via inverter op CS van tweede IC

Geheugens DIGITALE ELEKTRONICA 1ELO_4^o blok

GEHEUGENMODULE

- **Geheugenmodule = PCB met een aantal geheugen-IC's**
 - uitbreiding van de woordbreedte
 - uitbreiding van de geheugendiepte
- **Voorbeeld:**
 - 30-pins SIMM van 1Mx9
 - opgebouwd met 9 IC's van elk 1Mx1
- **Toepassing: gebruik in PC**
 - Indien de woordbreedte van de module kleiner is dan de breedte van de databus, moeten meerdere modules gelijktijdig gebruikt worden zodat de woordbreedte kan uitgebreid worden tot de breedte van de databus (opvullen van een bank)
 - » vb. μ P 80486 heeft databus van 32 bits
 - » 30-pins SIMM heeft 8 bits data (+ eventueel 9^e parity-bit)
 - » 1 bank = 4 SIMMs
 - Indien meerdere geheugenbanken kunnen opgevuld worden, leidt dit tot de uitbreiding van het adresbereik
 - » vb. 2 banken > 2x 4 SIMMs van 1Mx8 > 8 Mbyte geheugen (2M x 32)

Geheugens

DIGITALE ELEKTRONICA 1ELO_4° blok

GEHEUGENMODULE in PC

- **30-pin SIMM**

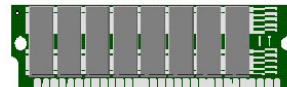
SIMM = Single-in-line Memory Module
8 bits data (woordbreedte)
BANK opvullen om volledige woordbreedte te bekomen (bv. 32 bit)
- **72-pin SIMM**

32 bits data (= woordbreedte van μ P 80486)
in één keer (i.p.v. 4x 30-pins SIMMs)
- **168-pin DIMM**

DIMM = Dual-in-line Memory Module
(verschillende aansluitingen aan soldeeren aan componentzijde)
64 bits data (= woordbreedte van Pentium)
in één keer (i.p.v. 2x 72-pins SIMMs)
meerdere modules = uitbreiding geheugendiepte
- **SO-DIMM**

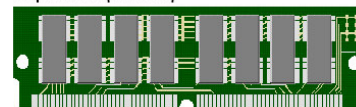
SO = Small Outline - 72 / 144 / 200 pins
gebruikt in draagbare PC

30-pin SIMM (3.5 x .75")



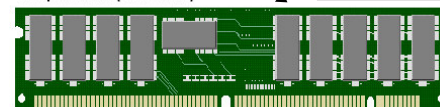
Afstand tussen de contacten:
pitch = 2,54 mm

72-pin SIMM (4.25 x 1")

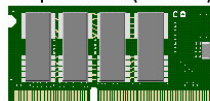


Afstand tussen de contacten:
pitch = 1,27 mm

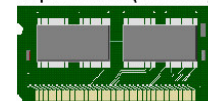
168-pin DIMM (5.375 x 1")



144-pin SODIMM (2.625 x 1")



72-pin SODIMM (2.375 x 1")



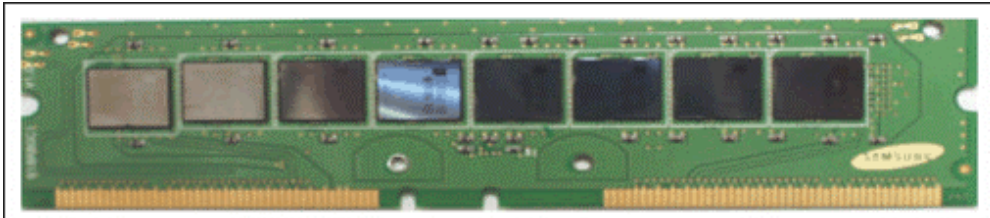
pitch = 0,5 mm

Geheugens

DIGITALE ELEKTRONICA 1ELO_4° blok

GEHEUGENMODULE in PC

- **184-pin DIMM**
 - DDR = Double Data Rate
 - » 133 MHz next generation SDRAM
- **RIMM = Direct Rambus Memory Module**
 - » 800 MHz
 - » 184 - 232 pins



Geheugens

DIGITALE ELEKTRONICA 1ELO_4° blok

GEHEUGENMODULE

EVEN REALISEREN

- **Standaard PC tegenwoordig:**
 - 512 MByte DDR RAM (64M x 64 bit)
 - 184 pins DIMM opgebouwd met 16 IC's van elk 256 Mbit DRAM
- **Hoeveel is dit eigenlijk?**
 - 1 karakter = 1 byte (ASCII-code)
 - 1 pagina tekst = 40 lijnen x 80 karakters/lijn = 3200 karakters
 - 256 MByte = 80.000 pagina's tekst !!!
- **Toekomst (nabije?)**
 - 1x 184-pins DIMM van 4 GByte
 - opgebouwd met 36 IC's van elk 1 Giga-bit DRAM
- **Verleden (±25 jaar)**
 - 1979: Commodore 64 : 64K RAM

Geheugens

DIGITALE ELEKTRONICA 1ELO_4° blok