

REALISATIE-TECHNIEKEN VOOR DIGITAAL ONTWERP

Verschillende mogelijkheden om een digitaal ontwerp praktisch te realiseren:

- **VASTE LOGICA**
 - gebruik maken van bestaande TTL en/of CMOS IC's
- **CUSTOM DESIGN IC'S**
 - een IC speciaal voor dit ontwerp laten fabriceren
 - drie mogelijkheden:
 - » STANDARD CELLS
 - » GATE ARRAYS
 - » FULL CUSTOM
- **PROGRAMMABLE LOGIC**
 - = 'best of both worlds' ?

Programmeerbare Logica

DIGITALE ELEKTRONICA 2EL

Realisatie-techniek 1 : VASTE LOGICA

VASTE LOGICA:

- **conventionele TTL/CMOS logica**
- **populair, goed gekende bouwblokken**
- **lage eenheidsprijs**
- **bouwblok = beperkte functie (SSI/MSI)**
 - » veel IC's nodig
 - » grote PCB's
 - » veel powerdissipatie
 - » veel stock
 - » verhoogde prijs eindproduct
- **(detail)wijziging in ontwerp**
 - » leidt meestal tot een nieuwe lay-out van de PCB

Programmeerbare Logica

DIGITALE ELEKTRONICA 2EL

Realisatie-techniek 2 : CUSTOM DESIGN IC

CUSTOM DESIGN IC : ALGEMEEN

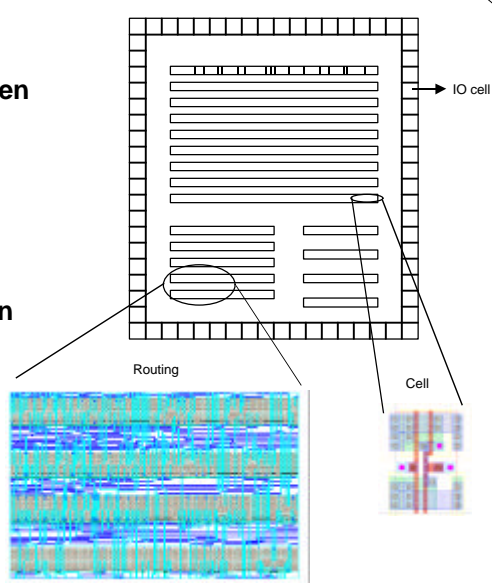
- volledige digitale functie in 1 IC onderbrengen = optimale Si-benutting
- flexibel : wat nodig is (en juist dat) kan geïntegreerd worden
- lange ontwikkeltijd en dus hoge NRE kost = Non-Recurring Engineering
- hoge productiekosten
- lage eenheidsprijs bij (zeer) grote reeksen
- fout of wijziging in design → volledig opnieuw !
- ASIC = Application Specific IC

Programmeerbare Logica DIGITALE ELEKTRONICA 2EL

Realisatie-techniek 2 : CUSTOM DESIGN IC

• STANDARD CELLS

- bibliotheek van functionele cellen
 - » bouwblokken
 - » reeds ontworpen
 - » gegarandeerd foutvrij
 - » vergelijkbaar met TTL-databoek
- alleen in design gebruikte cellen worden geïntegreerd ('place & route')
- geen Si verkwisting
- prijs IC ~ mm² Si
- zeer lange productietijd :
 - » IC's moeten volledig geprocessed worden

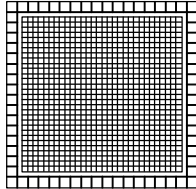


Programmeerbare Logica DIGITALE ELEKTRONICA 2EL

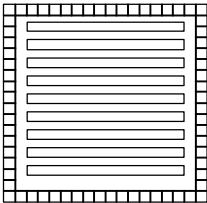
Realisatie-techniek 2 : CUSTOM DESIGN IC

- **GATE ARRAYS**
 - matrix van identieke cellen, reeds afgewerkt op 'wafer'
 - grootte-orde : 500 - 200.000 gates
 - klant-specifieke functie wordt gerealiseerd door het patroon van de nog aan te brengen verbindingen tussen deze cellen
 - kan resulteren in (relatief) veel onbenut Si
 - typische max. bezetting : 75% à 90%
 - kortere 'turn-around time' dan bij standard cell
 - lagere kostprijs omdat zelfde basispatroon voor meerdere gebruikers geschikt is

Sea of gates



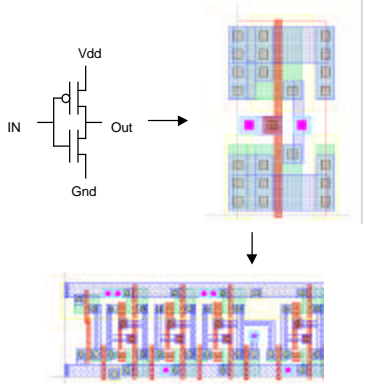
Channel based Gate Array



Programmeerbare Logica
DIGITALE ELEKTRONICA 2EL

Realisatie-techniek 2 : CUSTOM DESIGN IC

- **FULL CUSTOM**
 - alles volledig zelf ontwerpen, tot op transistorniveau
 - zeer lange ontwikkelingstijd
 - leidt tot optimale Si-benutting
 - bij grote reeksen : laagste prijs
 - optimale prestatie
 - slechts in uitzonderlijke situaties



Programmeerbare Logica
DIGITALE ELEKTRONICA 2EL

Realisatie-techniek 3 : Programmeerbare logica

- **PLD = Programmable Logic Devices**
 - = 'best of both worlds' ? (discrete logica & gate-array)
 - IC's reeds bij de klant beschikbaar
 - gebruiker kan IC zelf 'configureren'
m.b.v. ontwerpsoftware (PC) + (evtl.) programmeertoestel
 - groot scala aan fabrikanten en componenten
 - » **Simple PLD (SPLD)**
 - PROM, PLA, PAL
 - GAL
 - » **Complex PLD (CPLD) of Erasable PLD (EPLD)**
 - » **Field-Programmable Gate-Array (FPGA)**

Programmeerbare Logica

DIGITALE ELEKTRONICA 2EL

Voordelen van Programmeerbare logica

- **eenvoud in ontwerp**
 - » computer aided design
 - » schematic entry
 - » **Hardware Description Language (HDL)**
 - hoog niveau beschrijving
 - automatische synthese (omzetten naar 'gates')
 - vereenvoudiging
 - ERC & DRC (Electrical/Design Rule Check)
 - » simulatie
 - » PLD-implementatie
 - » onmiddellijk uit te testen

Programmeerbare Logica

DIGITALE ELEKTRONICA 2EL

Voordelen van Programmeerbare logica

- **grote keuze fabrikanten & componenten**
 - » architectuur, density
 - » technologie, snelheid, vermogen
 - » prijs
- **eenvoudiger PCB (Printed Circuit Board)**
 - » één PLD = tientallen 74xx
 - » grotere flexibiliteit bij keuze van I/O-pinnen
 - » functionele wijziging in PLD = zelfde PCB
 - » hogere betrouwbaarheid (minder componenten, minder verbindingen, minder solderingen)
 - » beter testbaar
 - » lagere totale kostprijs
- **design security**

Programmeerbare Logica
DIGITALE ELEKTRONICA 2EL

Simple PLD's (SPLD)

- **Elke logische functie kan gerealiseerd worden in een "Sum Of Products" (SOP) vorm**
- **Een SOP vorm kan gerealiseerd worden door INV/AND/OR (of INV/NAND/NAND)**
- **De bouwblokken van AND/OR gates zijn vooraf gemaakt**
- **Programmeren = het maken of verbreken van connecties tussen de gates**

The diagram illustrates the internal structure of a Simple PLD (SPLD). It consists of two main matrices: a 'MATRIX VAN AND-POORTEN' (AND gate matrix) on the left and a 'MATRIX VAN OR-POORTEN' (OR gate matrix) on the right. Five 'INPUTS' are shown as arrows pointing down into the top of the AND matrix. From the right side of the AND matrix, four horizontal arrows labeled 'mintermen' (minterms) point to the left side of the OR matrix. From the bottom of the OR matrix, five arrows labeled 'OUTPUTS' point downwards.

Programmeerbare Logica
DIGITALE ELEKTRONICA 2EL

Conventies

Om het aantal lijnen in het schema te verminderen tekenen we de verschillende ingangen op eenzelfde lijn.

Elke input wordt geïnverteerd zodat we beide kunnen gebruiken

$F = A.B + B.C + A.B.C$

Programmeerbare Logica DIGITALE ELEKTRONICA 2EL

ROM als PLD

Adresdecoder = volledig uitgedecodeerde AND-matrix

S0	1	0	0	0
S1	0	0	0	1
S2	0	1	1	1
...
S1023	1	0	0	1

geheugen 1024*4

D₃ D₂ D₁ D₀

D_{UIT}

Uitgang = vrij programmeerbare OR-matrix

Programmeerbare Logica DIGITALE ELEKTRONICA 2EL

3. Programmeerbare Logica

ROM als SPLD

- **PROM kan gebruikt worden om een aantal logische functies in te programmeren**
- **zeer geschikt voor bv. decoders**
- **nadeel: volledig uitgedecodeerde adresdecoder**
 - werkt goed als ook alle ingangscombinaties kunnen voorkomen
 - niet efficiënt om meerdere functies te maken die *niet* afhankelijk zijn van *dezelfde* ingangsvariabelen

Voorbeeld: $X=f_1(A,B,S) \rightarrow 8$ mogelijke combinaties
 $Y=f_2(C,D,E,S) \rightarrow 16$ mogelijke combinaties

Vereiste PROM: 6 ingangsvariabelen
 2^6 ingangscombinaties = 64 te programmeren adressen
 alhoewel slechts 24 combinaties zinvol zijn

Programmeerbare Logica
DIGITALE ELEKTRONICA 2EL

PLA = Programmable Logic Array

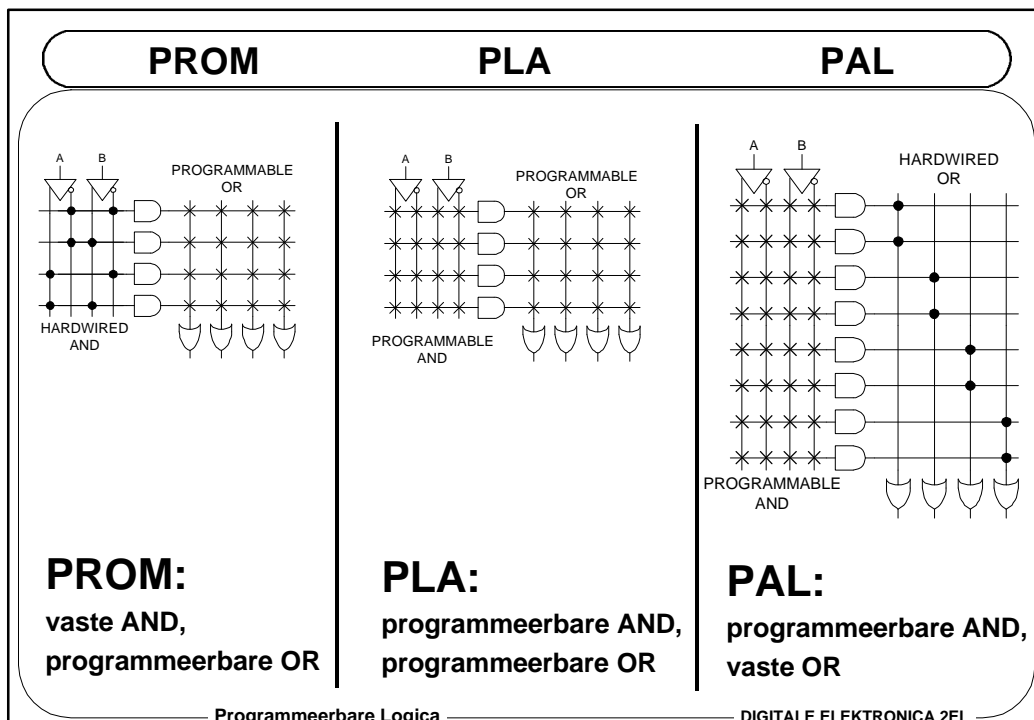
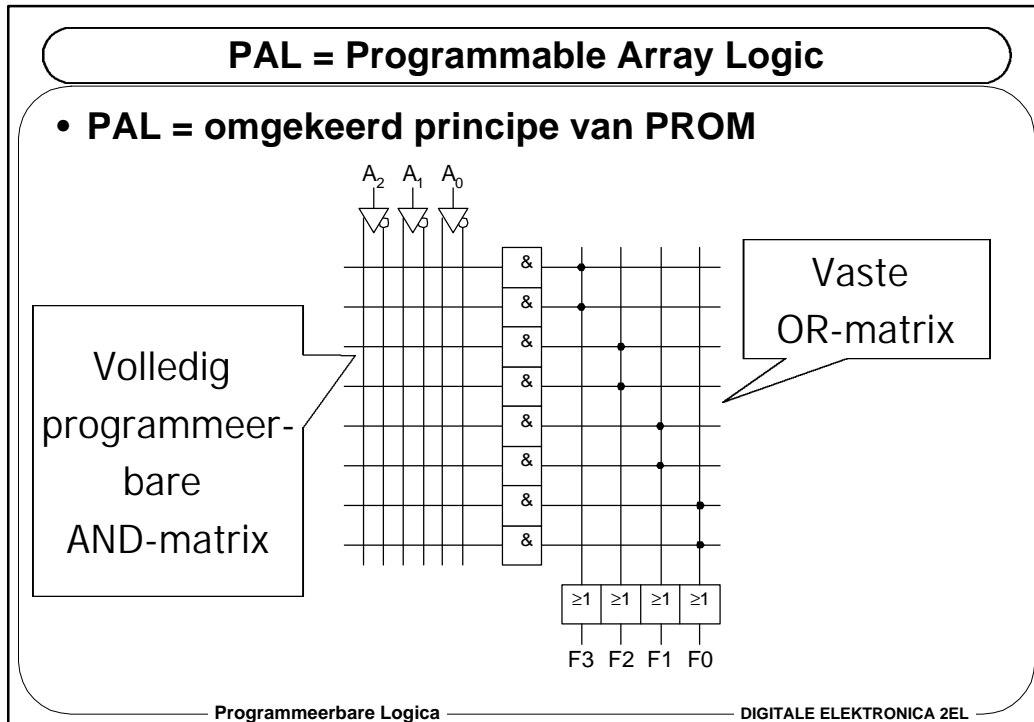
- **Probleem met PROM: volledig uitgedecodeerde adresdecoder leidt tot veel *redundantie***
 - niet-relevante ingangscombinaties moeten ook geprogrammeerd worden
- **Oplossing in PLA:**
 - AND-matrix is ook vrij programmeerbaar gemaakt
 - gebruiker kan mintermen samenstellen met alleen maar de relevante ingangsvariabelen

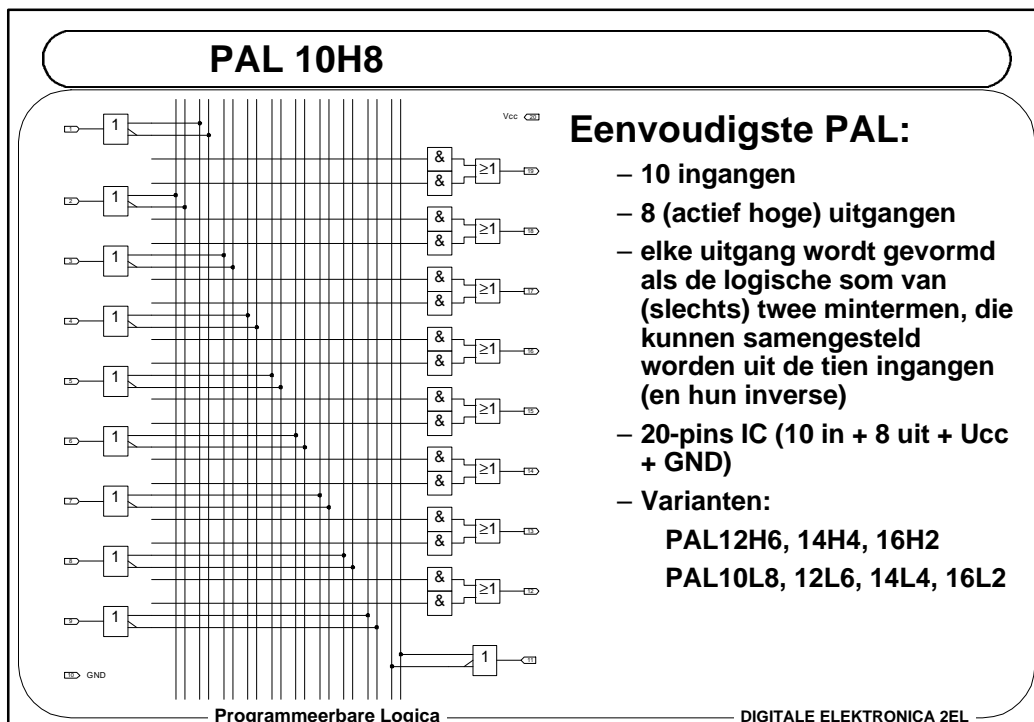
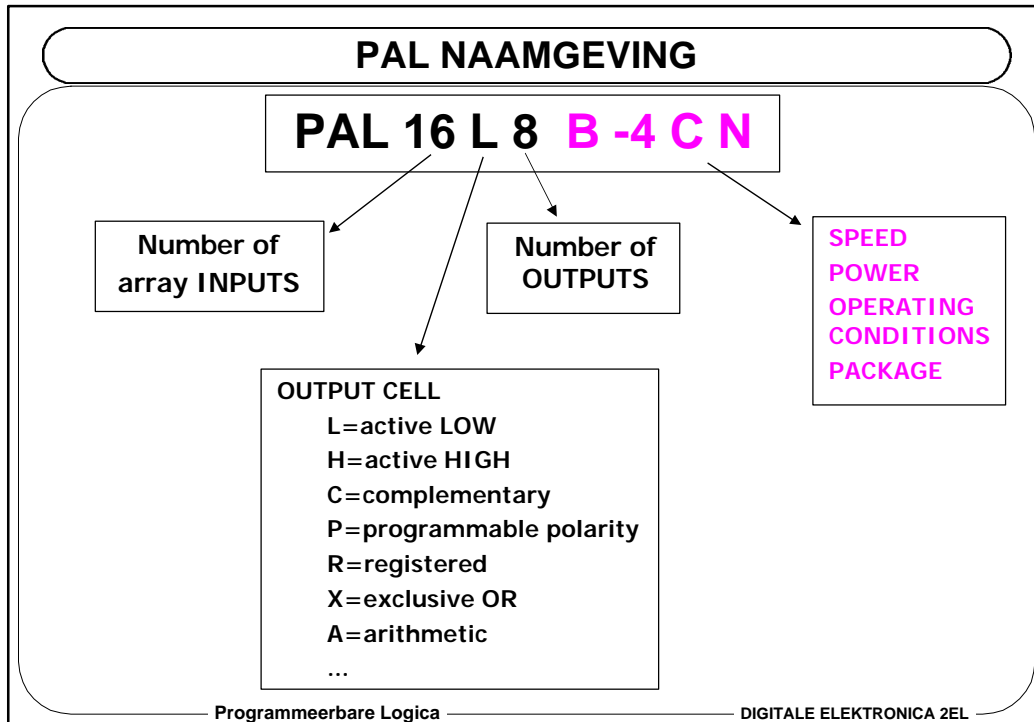
INPUTS

PLA

- **Goed idee, maar ...**
 - meer interne logica nodig om beide array's programmeerbaar te maken
 - duurder, trager
 - nooit echt doorgebroken in de praktijk

Programmeerbare Logica
DIGITALE ELEKTRONICA 2EL





PAL 16L8

Programmeerbare Logica

Uitgebreidere PAL:

- maximaal 16 ingangen
- maximaal 8 (actief lage) uitgangen
- ook slechts 20-pins IC (16+8=24?)
 - » 10 vaste ingangen
 - » 2 vaste uitgangen
 - » 6 pennen in- of uitgang
 - » bidirectionele pennen worden intern teruggekoppeld naar de AND-matrix
- elke uitgang wordt gevormd als de logische som van zeven mintermen
- uitgang = tri-state inverter
 - » kan in Hi-Z toestand gebracht worden door afzonderlijke minterm
 - » op dat ogenblik kan pen als ingang gebruikt worden
- Uitbreiding: PAL20L8

DIGITALE ELEKTRONICA 2EL

PAL 16L8

PAL16L8:
actief **LAGE**
uitgangen

PAL 16H8

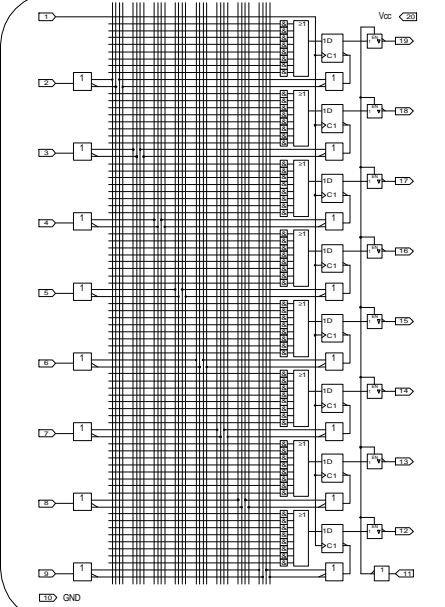
PAL16H8:
actief **HOGE**
uitgangen

PAL 16P8

PAL16P8:
Programmeerbare
polariteit d.m.v.
EXOR-poort

Programmeerbare Logica DIGITALE ELEKTRONICA 2EL

PAL 16R8

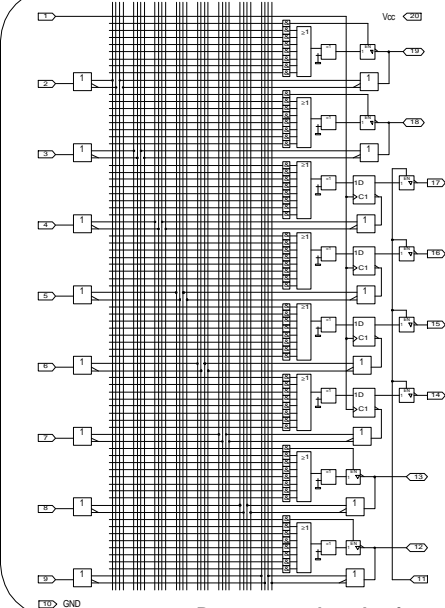


Sequentiële PAL:

- 8 ingangen
- 8 uitgangen, via een 3-state inverter verbonden met de Q-uitgangen van 8 D-flipflops; vandaar de **R** in de naam
- FF-uitgangen worden eveneens teruggekoppeld naar de AND-matrix; daarom blijft de benaming **PAL₁₆R8** (en niet PAL8R8)
- pen 1 = gemeenschappelijke **CLOCK**-pen (*synchrone* PAL); flipflops reageren op de stijgende klokflank
- pen 11 = gemeenschappelijke **OUTPUT ENABLE**-pen
- Varianten: 16R6 en 16R4

Programmeerbare Logica
DIGITALE ELEKTRONICA 2EL

PAL 16RP4



'Gemengde' PAL:

- 8 'zuivere' ingangen
- 4 combinatorische uitgangen
 - » logische som van zeven ingangen
 - » programmeerbare polariteit (P)
 - » individuele *output enable*
 - » terugkoppeling naar AND-array
 - » ook bruikbaar als ingang
- 4 sequentiële uitgangen (R)
 - » logische som van acht ingangen
 - » programmeerbare polariteit
 - » gemeenschappelijke *output enable* via één ingangspen
 - » D-flipflop in uitgangslijn met gemeenschappelijke klok via één ingangspen
 - » flipflop-uitgang wordt teruggekoppeld naar AND-array

Programmeerbare Logica
DIGITALE ELEKTRONICA 2EL

PAL 16RA8

Asynchrone PAL: (1 van de 8 macrocellen)

- 8 'zuivere' ingangen
- 8 uitgangen: combinatorisch of sequentieel
 - » logische som van vier ingangen
 - » D-flipflop met asynchrone klok (individuele minterm per macrocel)
 - » programmeerbare polariteit
 - » asynchrone PRESET- en CLEAR ingangen
- keuze seq/comb gebeurt via multiplexer aan uitgang
- individuele of gemeenschappelijke *output enable*
- terugkoppeling naar AND-array, uitgangspen ook bruikbaar als ingang
- 'vrij configureerbaar': principe wordt uitgebreid in GAL en CPLD

Programmeerbare Logica DIGITALE ELEKTRONICA 2EL

Combinatorische en sequentiële PAL

1. Combinatorische
INPUTS, FEEDBACK, AND I/O

2. Sequentiële
INPUTS, FEEDBACK, AND I/O

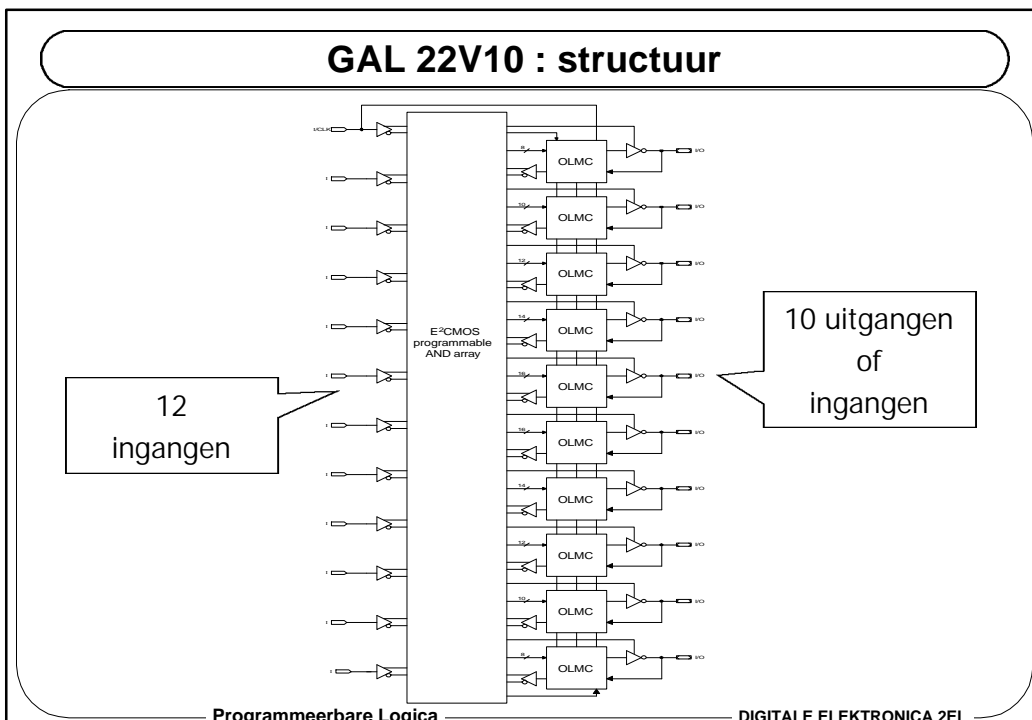
3. Keuzemogelijkheid aan de hand van een 'macrocell'

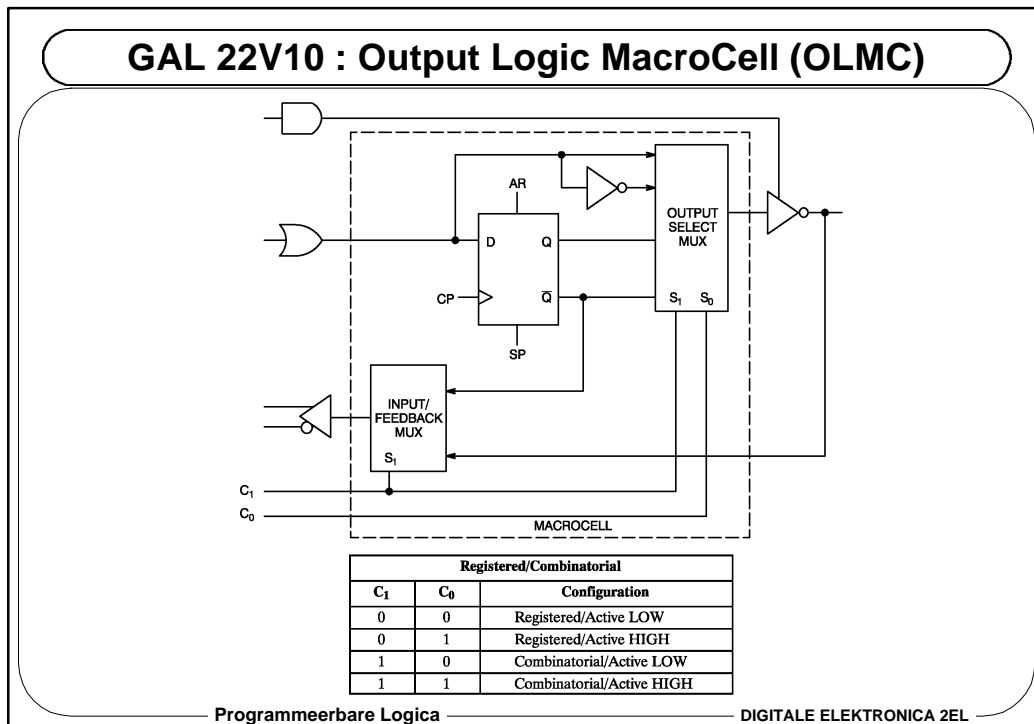
Programmeerbare Logica DIGITALE ELEKTRONICA 2EL

GAL = Generic Array Logic

- **GAL = uitgebreide PAL met zeer flexibele uitgangsblok**
- **gebaseerd op E²CMOS-technologie**
 - E² = Electrically Erasable, dus herprogrammeerbaar
 - in tegenstelling tot de éénmalig programmeerbare PAL
- **slechts enkele, maar zeer universele types, die elk een ganse reeks van PAL's kunnen vervangen**
- **GAL16V8** vervangt bijna alle 20-pen PAL's
- **GAL20V8** vervangt bijna alle 24-pen PAL's
- **GAL22V10**
 - is uitgegroeid tot een praktische basiscomponent

Programmeerbare Logica DIGITALE ELEKTRONICA 2EL





ispGAL : In-System Programmable GAL

- **‘normale’ GAL:** programmeren (en evtl. herprogrammeren) gebeurt met programmeertoestel
 - bijkomende productiestap
 - problemen bij componenten met ‘*high pin count*’ en ‘*small lead pitch*’
- **ispGAL:** kan op de PCB geprogrammeerd worden
 - vereist 4 bijkomende pinnen + extra interne logica
 - kan nu op verschillende manieren geprogrammeerd worden:
 - » met hardware programmer, voorafgaand aan de PCB assemblage
 - » met ‘Automatic Test Equipment’ (ATE) na de assemblage
 - » vanuit een computer na assemblage via ‘download connection’
 - » vanuit een in-system microprocessor na assemblage

Programmeerbare Logica DIGITALE ELEKTRONICA 2EL