

FPGA = Field Programmable Gate Array

- **Geïntroduceerd door Xilinx in 1985**
 - gebaseerd op SRAM-technologie
 - » dus: spanning weg, informatie weg (*volatile*)!
 - in-system (re)programmable
 - » niet met programmeertoestel
 - » wel vanuit PC of vanuit een vast geheugen (bv. seriële EPROM)
 - » reprogrammable ‘in-the-flight’
- **Structuur**
 - matrix van vrij configureerbare, complexe logische blokken
 - » CLB = Configurable Logic Block
 - omgeven door een ring van input/output blokken
 - » IOB = I/O Interface Block
 - programmeerbare verbindingen tussen CLB's onderling en tussen CLB en IOB

Programmeerbare Logica
DIGITALE ELEKTRONICA 2EL

XILINX Basic FPGA Architecture

The diagram illustrates the internal structure of an Xilinx FPGA. It features a central grid of Configurable Logic Blocks (CLBs) and I/O Blocks (IOBs). The Programmable Interconnect is shown as a network of green lines connecting the CLBs. A detailed view of a CLB shows its internal components, including functional generators (G, H, F) and a logic element (L) with flip-flops (FF). The I/O Block (IOB) is shown with its internal circuitry, including a multiplexer, a register, and an output buffer. The Xilinx logo is visible in the bottom right corner.

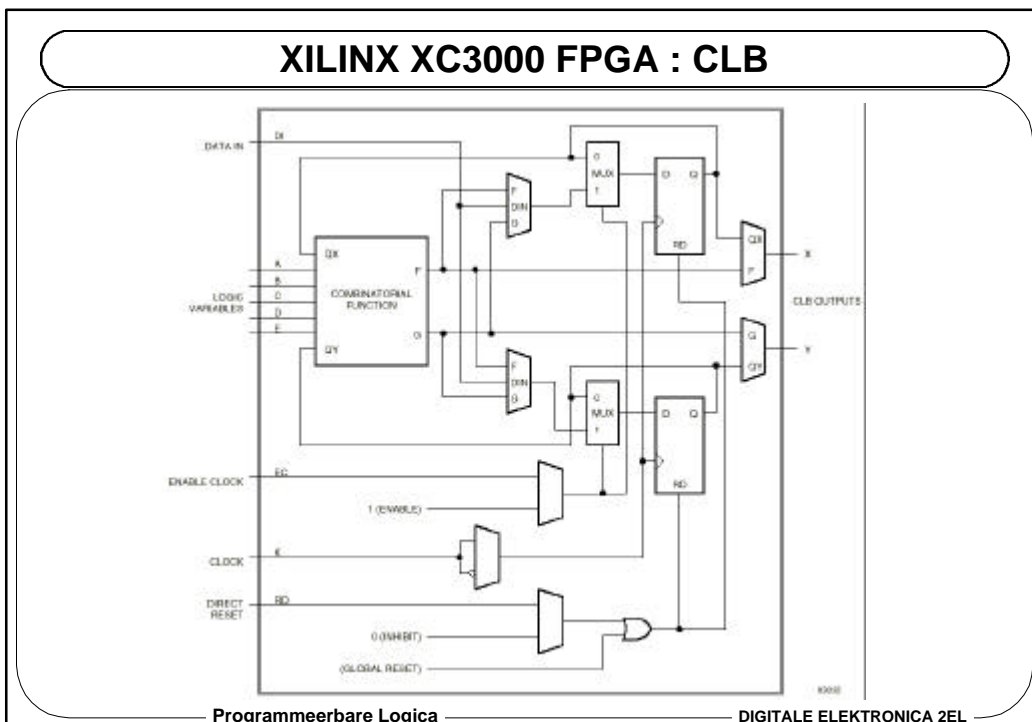
Programmeerbare Logica
DIGITALE ELEKTRONICA 2EL

XILINX FPGA families

	CLB's	matrix	FF's	I/O
XC2000				
XC2064	64	8x8	64	58
XC2018	100	10x10	100	74
XC3000				
XC3020	64	8x8	64	64
XC3030	100	10x10	100	80
XC3042	144	12x12	144	96
XC3064	224	16x14	224	120
XC3090	320	16x20	320	144
XC3195	484	22x22	484	176
XC4000				
XC4003	100	10x10	360	80
XC4005	196	14x14	616	112
XC4006	256	16x16	768	128
XC4008	324	18x18	936	144
XC4010	400	20x20	1120	160
XC4013	576	24x24	1536	192
XC4020	784	28x28	2016	224
XC4025	1024	32x32	2560	256

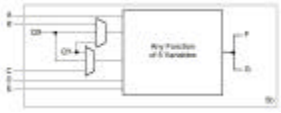
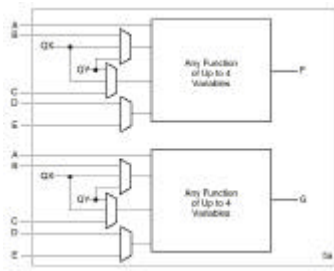
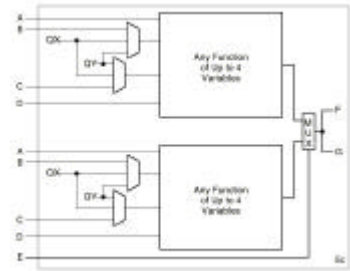
Discontinued!

Programmeerbare Logica DIGITALE ELEKTRONICA 2EL



XILINX XC3000 FPGA : CLB

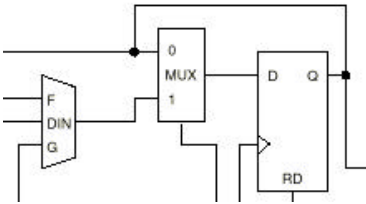
- **Combinatorisch gedeelte in CLB:**
 - LUT (*look up table*) met 5 logische ingangen
 - hiermee kunnen volgende functies gerealiseerd worden:
 - » ofwel één willekeurige functie van 5 variabelen
 - » ofwel twee onafhankelijke functies van elk 4 variabelen
 - » ofwel een dynamische selectie tussen 2 functies van 4 variabelen

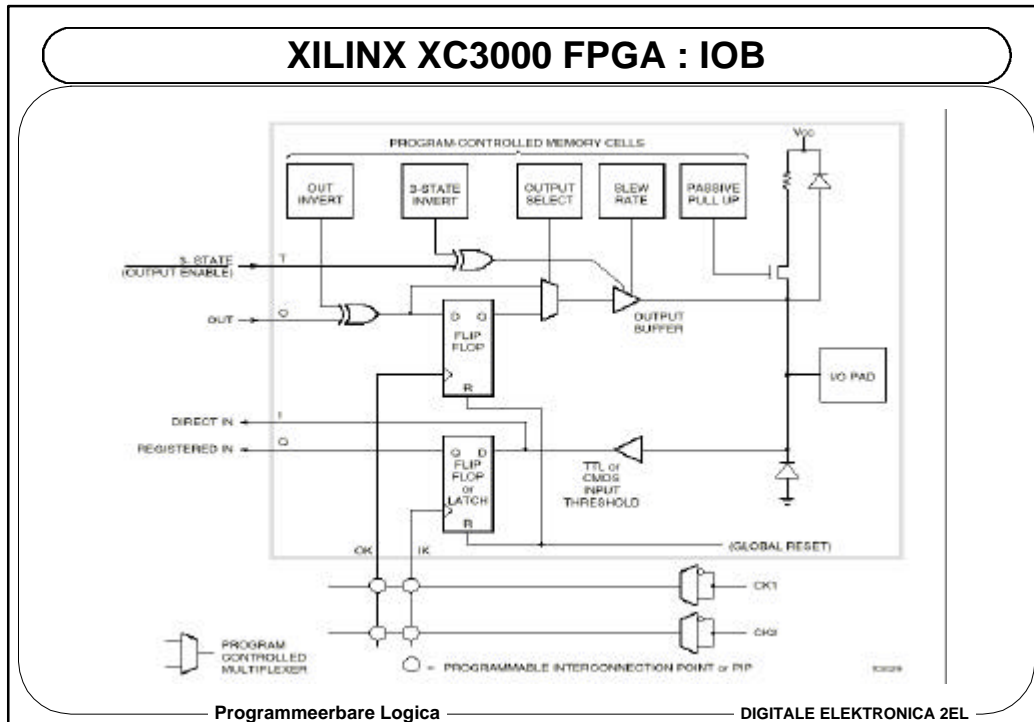
Programmeerbare LogicaDIGITALE ELEKTRONICA 2EL

XILINX XC3000 FPGA : CLB

- **Sequentieel gedeelte in CLB:**
 - twee D-flipflops
 - D-ingang komt van
 - » combinatorisch blok (LUT)
 - » afzonderlijke D-ingang
 - CLOCK-ingang
 - » gemeenschappelijk voor beide D-flipflops
 - » al dan niet geïnverteerd (dus: actief op stijgende of dalende flank)
 - CLOCK ENABLE
 - » gemeenschappelijk voor beide D-flipflops
 - asynchrone CLEAR
 - » gemeenschappelijk voor beide D-flipflops
 - » CLEAR gebeurt door:
 - individuele ingang
 - global reset (gestuurd door externe RESET-pin en bij POWER ON)



Programmeerbare LogicaDIGITALE ELEKTRONICA 2EL



XILINX XC3000 FPGA : IOB

- **externe pin wordt gebruikt als ingang of als uitgang**
 - zowel bij ingang als bij uitgang kan men kiezen voor een *direct path* (zonder flipflop) of een *registered path* (met flipflop)
 - flipflops hebben twee mogelijke clock-signalen (+ inverteerbaar)
- **ingangsgedeelte**
 - *threshold* instelbaar: TTL- of CMOS-compatibel
 - *direct of registered* (via latch of via flipflop)
- **uitgangsgedeelte: extra mogelijkheden**
 - data wordt al dan niet geïnverteerd
 - data passeert al dan niet via D-flipflop
 - 3-state output buffer (met programmeerbare *enable*)
 - instelbare *slew-rate*
 - » snel, maar meer vermogen
 - » traag met minder vermogen
 - al dan niet passieve *pull-up*

Programmeerbare Logica DIGITALE ELEKTRONICA 2EL

XILINX XC3000 FPGA : INTERCONNECT

- **Interconnect op 3 niveaus:**
 - **direct interconnect of local interconnection**
 - » korte, rechtstreekse verbindingen tussen aangrenzende blokken
 - » beperkt aantal mogelijkheden
 - » snelste verbinding

Programmeerbare Logica DIGITALE ELEKTRONICA 2EL

XILINX XC3000 FPGA : INTERCONNECT

- **Interconnect op 3 niveaus:**
 - **direct (local) interconnect**
 - **general purpose interconnect**
 - » universele verbindingen die gebruik maken van de schakelmatrices (*switch matrix*) tussen de blokken
 - » haast alles is mogelijk
 - » vrij grote vertraging omdat het signaal via veel schakelaars en tussenbuffers moet passeren

Voorbeeld van mogelijke verbindingen in de switch matrix

Programmeerbare Logica DIGITALE ELEKTRONICA 2EL

XILINX XC3000 FPGA : INTERCONNECT

- **Interconnect op 3 niveaus:**
 - direct (local) interconnect
 - general purpose interconnect
 - **longlines of global interconnect**
 - » kleinere vertraging omdat niet via de switch matrices gepasseerd wordt
 - » voorbehouden voor signalen die minimale skew moeten vertonen (bv. clock) of die over een grote afstand moeten getransporteerd worden

Programmeerbare Logica
DIGITALE ELEKTRONICA 2EL

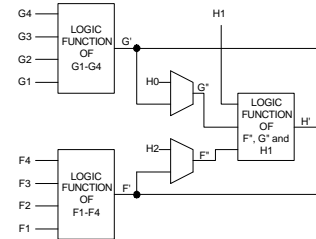
XILINX XC4000 FPGA : CLB

Programmeerbare Logica
DIGITALE ELEKTRONICA 2EL

XILINX XC4000 FPGA : CLB

• Combinatorisch gedeelte in CLB:

- twee LUTs (*look up tables*) met elk 4 logische ingangen
 - » genereren de functies $F' = f(F_1, F_2, F_3, F_4)$ en $G' = f(G_1, G_2, G_3, G_4)$
- daarnaast een derde LUT
 - » genereert een functie H' van drie variabelen:
 - F' of de aparte ingang H_2
 - G' of de aparte ingang H_0
 - de aparte ingang H_1
- Hiermee kunnen volgende functies gerealiseerd:
 - » twee functies van 4 onafhankelijke variabelen plus een derde functie van nog eens maximaal drie onafhankelijke variabelen
 - » een willekeurige functie van 5 variabelen
 - » elke functie van 4 variabelen + sommige functies van 6 variabelen
 - » sommige functies van max. 9 variabelen



Programmeerbare Logica

DIGITALE ELEKTRONICA 2EL

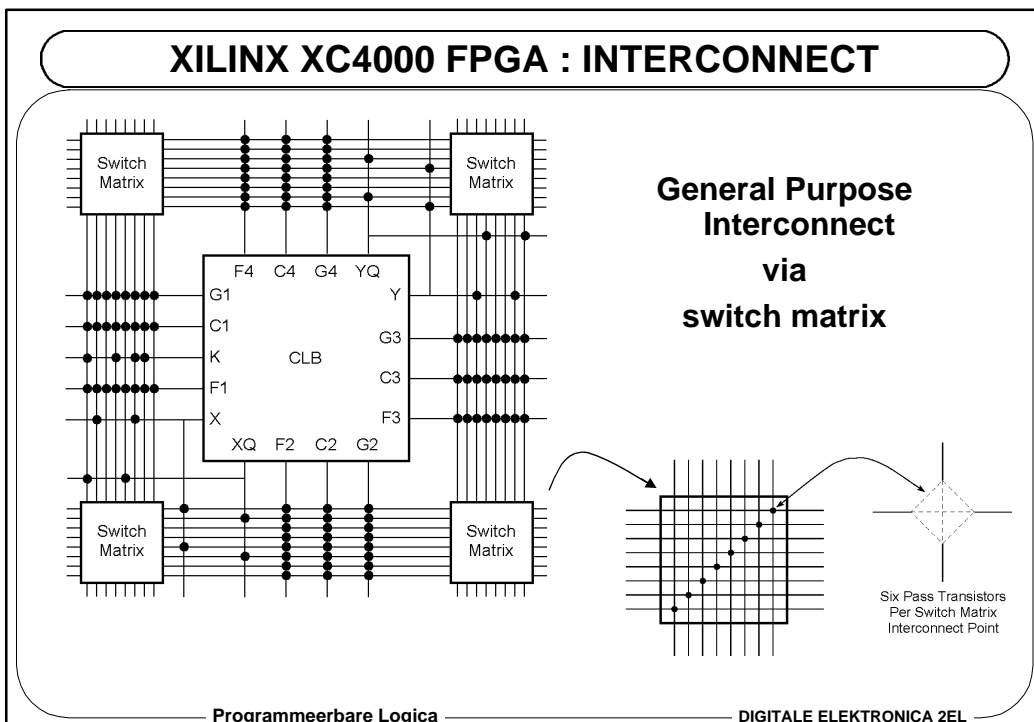
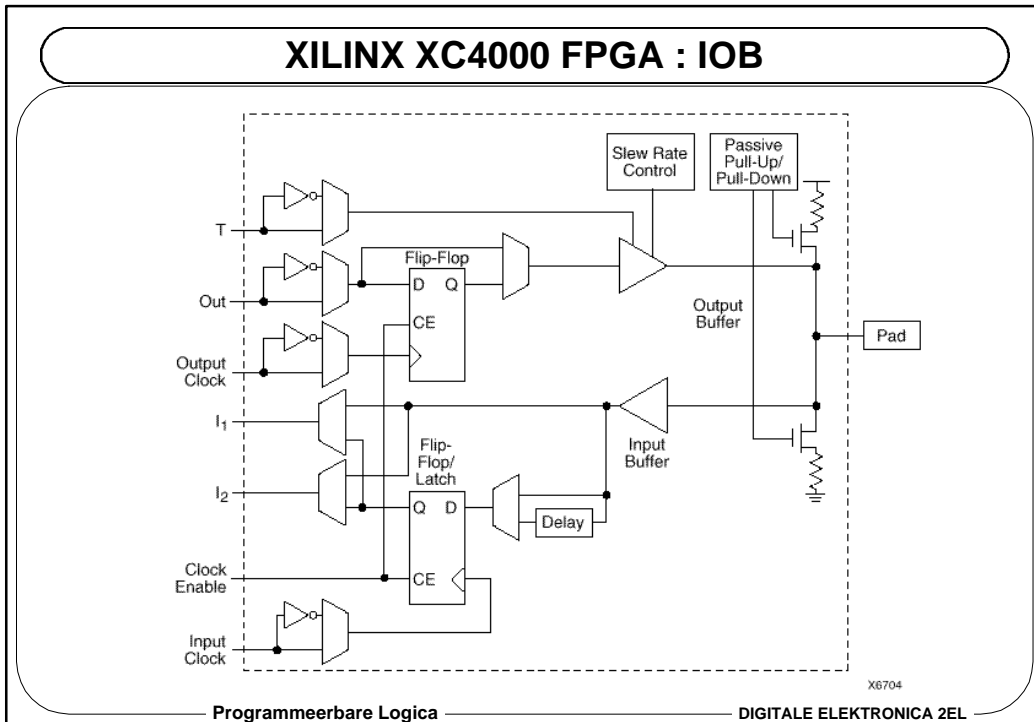
XILINX XC4000 FPGA : CLB

• Bijkomende functionaliteit van CLB:

- LUT (*look up table*) kan ook gebruikt worden als snelle RAM
 - » verschillende modes:
 - level-sensitive
 - edge-triggered (= synchronous)
 - dual port edge-triggered
 - » werkt vlugger dan externe RAM
- Fast Carry Logic
 - » elke LUT voor 4 ingangen in voorzien om gebruikt te worden als sommatoren voor twee woorden van elk 2 bits
 - snelle generatie van CARRY of BORROW
 - wordt rechtstreeks doorgegeven naar nabijge CLB
 - passeert niet via switch matrix, dus zeer snel
 - » betere performance voor
 - adders, subtractors, accumulators, comparators, counters

Programmeerbare Logica

DIGITALE ELEKTRONICA 2EL



CONFIGUREREN VAN DE FPGA

- **FPGA configureren = opladen van de SRAM-cellen met een 'bitpatroon', zodat de gewenste schakeling gerealiseerd wordt**
- **moet steeds gebeuren met de FPGA *in circuit***
- **kan op verschillende manieren:**
 - vanuit de PC met een speciale *download cable*
 - vanuit een externe seriële PROM
 - » vereist slechts één kleine chip en weinig verbindingen
 - » seriële PROMs bestaan van 18K tot 256K
 - » Interne CCLK klok spreekt een teller aan in de seriële PROM
 - vanuit een externe gewone (parallele) PROM
 - » Interne CCLK klok spreekt een teller in de FPGA aan
 - » Data wordt intern toch nog steeds serieel verwerkt, zodat de configuratie op dezelfde snelheid gebeurt
 - vanuit en onder de controle van een externe microprocessor of -controller