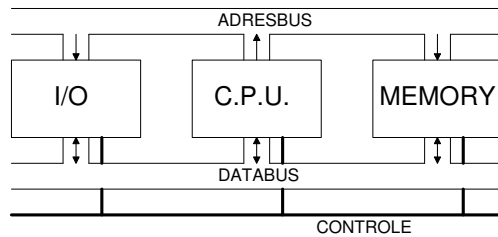


HALFGELEIDER-GEHEUGENS

Halfgeleider geheugens:

- elektronische schakelingen
- kunnen binaire informatie opnemen, bewaren en weergeven
- vaak als geheugenblok in complex digitaal systeem
- voorbeeld: (micro)computersysteem



Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

HALFGELEIDER-GEHEUGENS

Geheugen-organisatie:

- elke data-bit heeft één geheugencel nodig
- bits kunnen meestal niet afzonderlijk maar per *woord* bewerkt
- **woordbreedte** bepaalt breedte van de databus (8, 16, 32, 64 bit)
- **geheugendiepte** = aantal woorden (normaal een macht van 2)

- **geheugen-capaciteit** =

m woorden x **n** bits

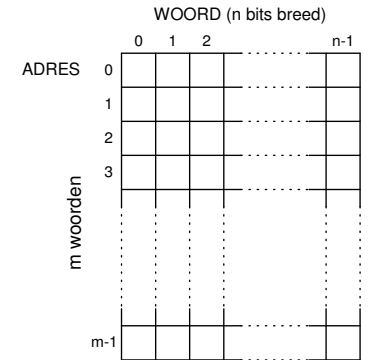
uitgedrukt in:

byte (= 8 bits)

kilo (1k = 2^{10} = 1.024)

mega (1M = 2^{20} = 1.048.576)

giga (1G = 2^{30} = 1.073.741.824)



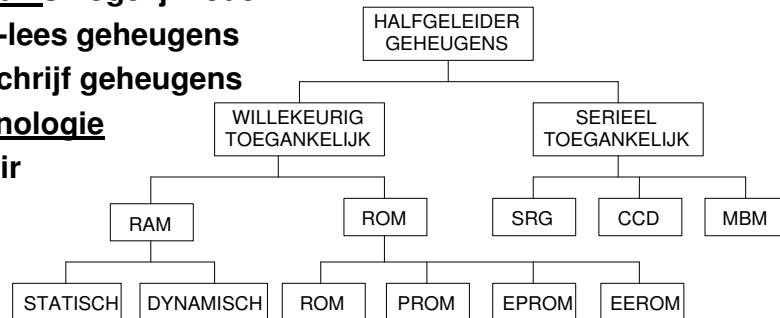
Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

HALFGELEIDER-GEHEUGENS

Onderverdeling:

- naar toegangs mogelijkheden
 - » sequentiële geheugens
 - » willekeurig toegankelijke geheugens
- naar gebruiks mogelijkheden
 - » alleen-lees geheugens
 - » lees/schrijf geheugens
- naar technologie
 - » bipolair
 - » MOS



Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

LEES/SCHRIJF-GEHEUGENS = RAM

RAM = Random Access Memory:

- willekeurig toegankelijk: elke geheugenplaats kan aangesproken worden (*geadresseerd*) om er onmiddellijk in te schrijven of uit te lezen
- twee groepen:
 - » **statische RAM (SRAM)**
 - gebruikt flipflop als elementaire geheugencel
 - snel, maar neemt meer oppervlakte in beslag
 - » **dynamische RAM (DRAM)**
 - gebruikt condensator als elementaire geheugencel
 - heeft REFRESH nodig omdat condensatorlading weglekt
 - minder snel, maar kleiner oppervlak en dus beterkoop
- steeds **vluchtig (volatile)**

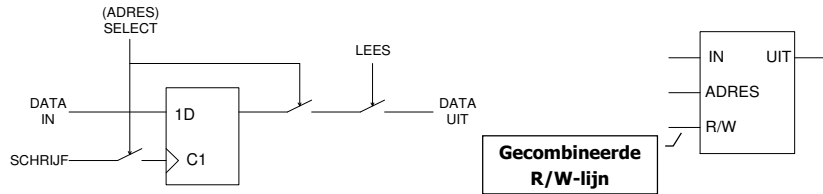
Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

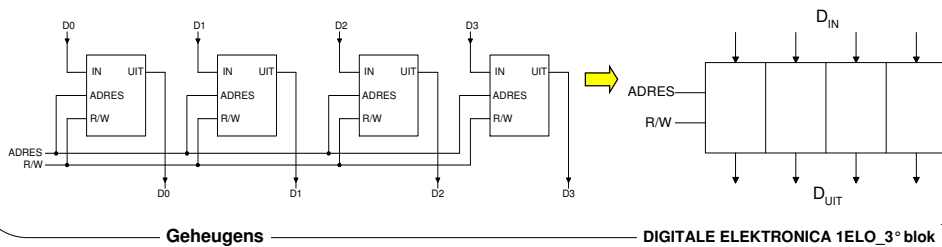
SRAM = STATISCHE RAM

Statische RAM met lineaire selectie

Basis-geheugencel = flipflop



Combinatie naar geheugenwoord

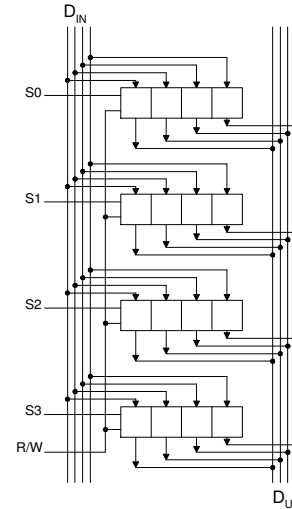


Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

SRAM = STATISCHE RAM

Gemeenschappelijke DATA-ingangen en -uitgangen



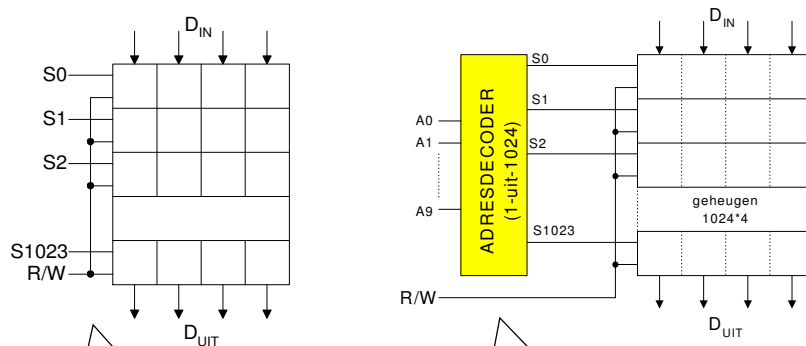
- R/W-lijn gemeenschappelijk voor het hele geheugen
- er kunnen geen twee dingen tegelijkertijd gebeuren in het geheugen
- elk geheugenwoord heeft een individuele adres- of selectielijn
- datalijnen kunnen (bit per bit) parallel doorverbonden worden indien er nooit meer dan één geheugenwoord tegelijk wordt aangesproken

Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

SRAM = STATISCHE RAM

Adresdecoder



1024 geheugenwoorden
1024 selectielijnen

1024 geheugenwoorden
met adresdecoder *on-chip*.
10 (externe) selectielijnen

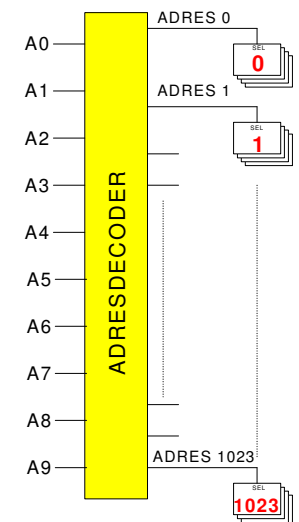
Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

SRAM = STATISCHE RAM

Probleem met RAM met lineaire selectie

- voorbeeld: **1024*4 bit RAM**
 - » 4 datalijnen
 - » 10 adreslijnen
- lineaire selectie vereist een **1-uit-1024 decoder**
 - » hierin zitten 1024 AND-poorten met elk 10 ingangen
 - » dit zijn zeer veel en zeer grote poorten
 - » deze structuur leidt tot een langgerekte chip, wat meestal ongewenst is



Geheugens

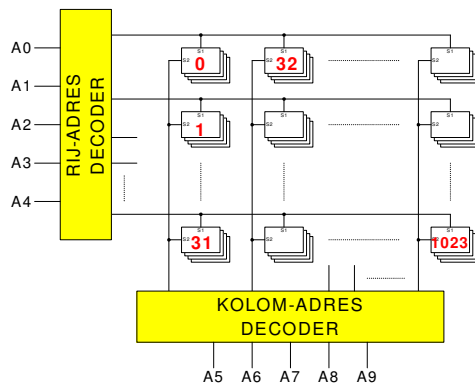
DIGITALE ELEKTRONICA 1ELO_3° blok

SRAM = STATISCHE RAM

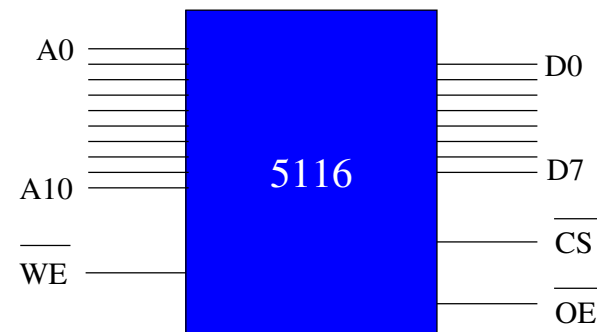
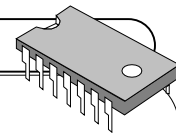
Oplossing:

coïncidentie selectie

- » elke geheugencel heeft twee select-ingangen
- » cellen worden opgenomen in x-y **matrix (array)**
 - » hier: 32*32 matrix
- » **twee** adresdecoders: rij-adres en kolom-adres
 - » elk maar 1-uit-32 decoder
 - » nu slechts 64 AND-poorten met elk 5 ingangen nodig (lineair : 1024 * AND_10 !)



Statische RAM IC's (SRAM)



Antwoord: 11 adreslijnen geeft $2^{11}=2048$ adressen
8 datalijnen geeft 8 bits woordbreedte
Dus: de grootte van het geheugen-IC is 2K x 8 bits

Symbolen tijdsdiagrammen

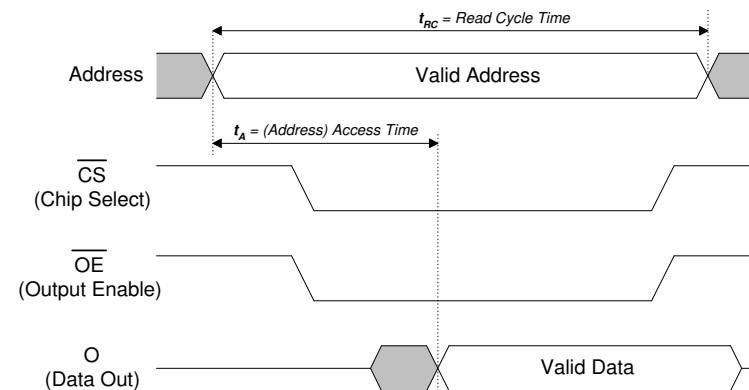
Ingang

Uitgang

- | | | | |
|--|--|--|---|
| | • Moet stabiel zijn
– Hoog of Laag | | • Stabiel
– Hoog of Laag |
| | • Verandering van hoog naar laag toegestaan | | • Verandert van hoog naar laag in het gegeven interval |
| | • Verandering van laag naar hoog toegestaan | | • Verandert van laag naar hoog in het gegeven interval |
| | • status mag veranderen | | • status onbekend of veranderend |
| | • niet van toepassing | | • zwevend, hoog impedant |
| | • nieuwe toestand | | • toestand is veranderd |

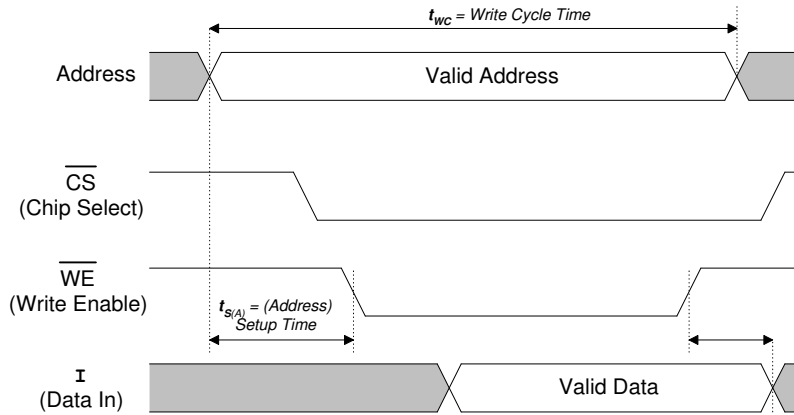
SRAM timing

Vereenvoudigde LEES-cyclus (Read Timing)



SRAM timing

Vereenvoudigde SCHRIJF-cyclus (Write Timing)



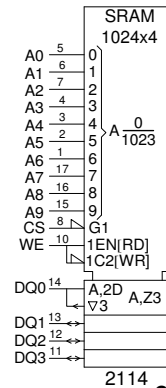
Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

SRAM IC's

- **SIZE** : van **64 bit** tot **4 Mbits**
- **ORGANISATION** : van **16 x 4** tot **512K x 8**
- **SPEED** : van **5 ns** tot **100 ns**

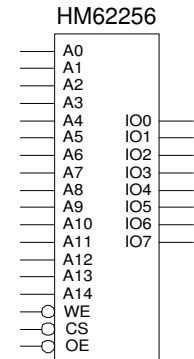
Voorbeelden :



ADRES: A0 t/m A9
= 10 adreslijnen
= $2^{10} = 1024 = 1K$ adressen

DATA: DQ0 t/m DQ3
= 4 bidirectionele datalijnen

dus: 2114
= 1K x 4 SRAM
= 4 Kbit SRAM



ADRES: A0 t/m A14
= 15 adreslijnen
= $2^{15} = 32K$ adressen

DATA: IO0 t/m IO7
= 8 bidirectionele datalijnen

dus: HM62256
= 32K x 8 SRAM
= 256 Kbit

Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

Battery back-up

- RAM geheugen is per definitie **vluchtig** ('*volatile*')
 - spanning weg, inhoud weg!
 - leidt tot problemen:
 - » settings van toestellen (bv. kanaalkiezer van TV of radio,...)
 - » computers, ...
- Een **batterij** kan er voor zorgen dat de inhoud van het geheugen toch niet verloren gaat
 - met afzonderlijke schakeling die de voedingsspanning overneemt zodra de netspanning wegvalt
 - bruikbaar bij CMOS-RAMs (weinig stroomverbruik, power down mode)
 - kan zelfs ingebouwd worden in de IC behuizing!
- De **levensduur** van een batterij is niet oneindig
 - Is na een aantal jaren aan vervanging toe ...

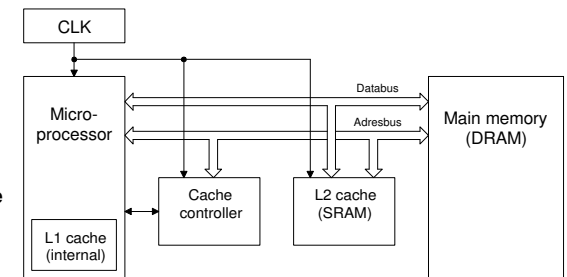
Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

CACHE MEMORY

CACHE-geheugen in computersysteem = voornaamste toepassing van SRAM

- eerder klein geheugen van hoge snelheid
- bewaart recent gebruikte instructies en/of data als kopie uit het grotere (maar tragere) intern geheugen (=DRAM - zie verder)
- soort tussengeheugen, waardoor de systeem-performantie aanzienlijk toeneemt zonder het volledige geheugen sneller (en dus duurder) te moeten maken
- **level 1 cache**
 - meestal intern in μP , zeer beperkt in omvang
- **level 2 cache**
 - afzonderlijke chip(set), iets omvangrijker dan L1 cache



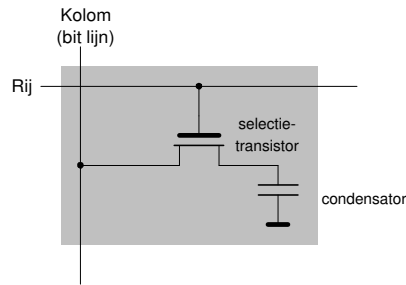
Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

DRAM = DYNAMISCHE RAM

Dynamische RAM

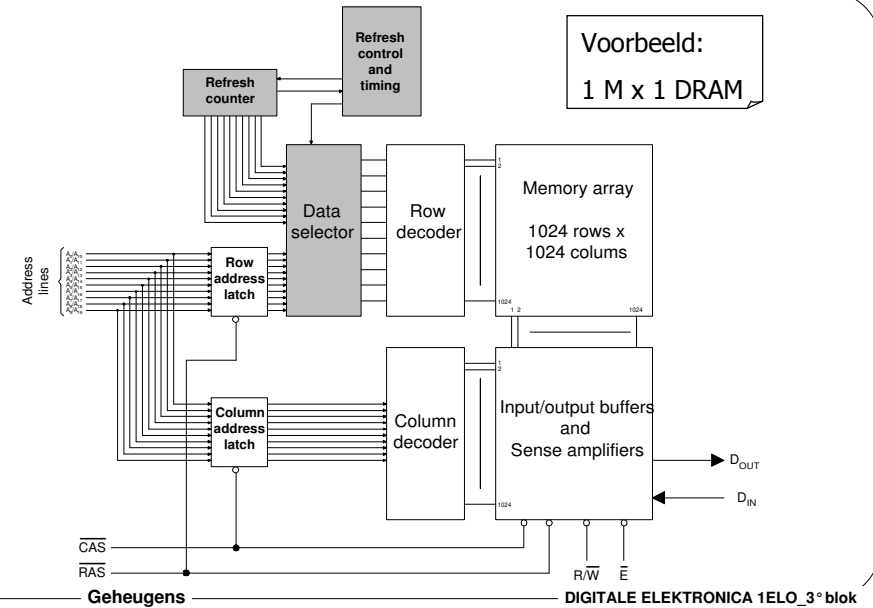
- bit wordt opgeslagen in kleine condensator i.p.v. in flipflop
- basiscel is zeer eenvoudig



- hierdoor kunnen er veel meer bits op een chips geplaatst worden en dit tegen een lagere prijs per bit (vergeleken met SRAM)
- nadeel: aangebrachte lading lekt weg van de condensator
- daarom moet er regelmatig REFRESH gebeuren
 - » om de 8 tot 16 ms (sommige zelfs tot 100 ms)
- dit vereist bijkomende schakeling en bemoeilijkt de werking

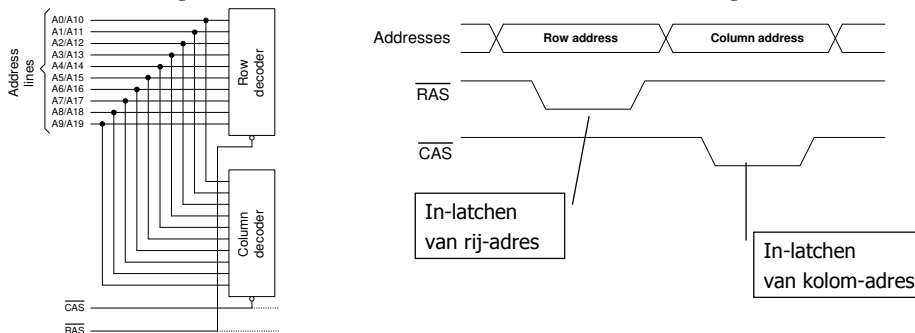


DRAM : opbouw



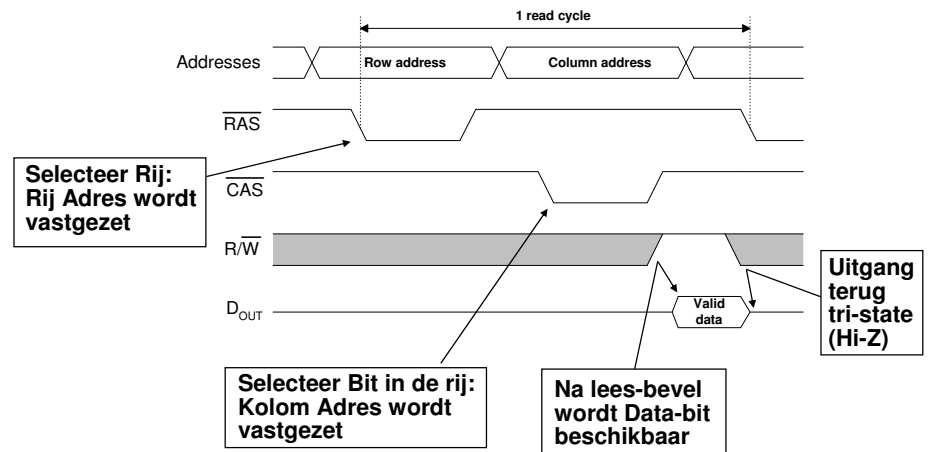
DRAM: Address Multiplexing

- DRAM gebruikt 'Address Multiplexing'
 - hierdoor halveert het aantal externe adres-pennen
 - er zijn nu wel twee 'address strobes' nodig:
 - » **RAS** = Row Address Strobe
 - » **CAS** = Column Address Strobe
 - het volledige adres wordt in twee stukken na elkaar aangeboden



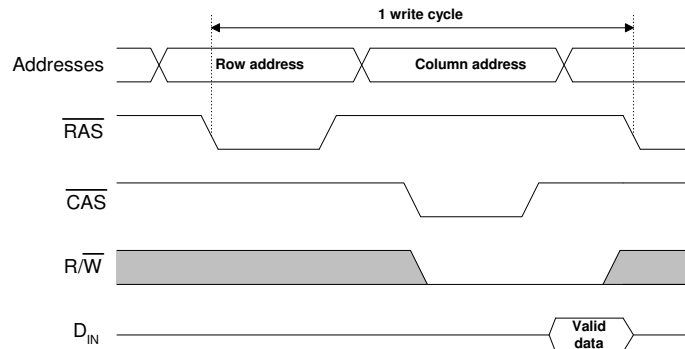
DRAM timing

Vereenvoudigde LEES-cyclus (Read Timing)



DRAM timing

Vereenvoudigde SCHRIJF-cyclus (*Write Timing*)

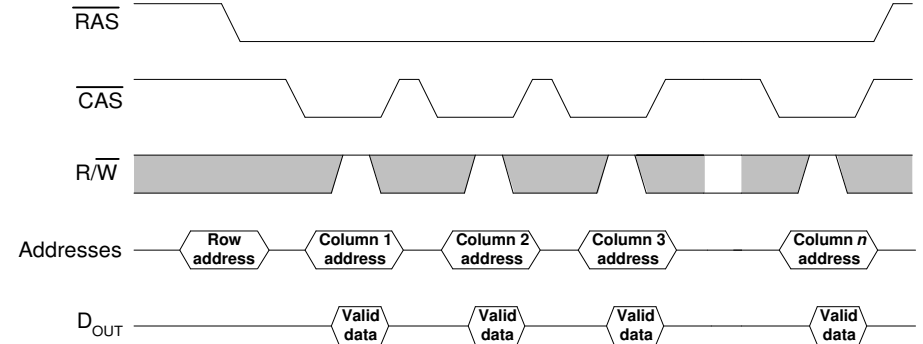


Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

DRAM timing

Fast Page mode timing voor READ-operatie

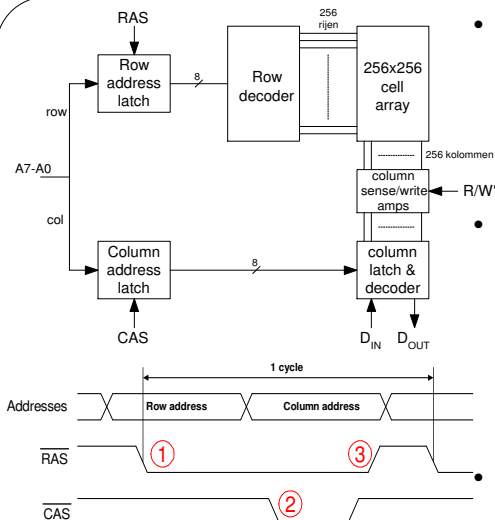


- Memory Page** = alle geheugenplaatsen met hetzelfde rij-adres
- RAS gaat maar 1x laag
 - CAS gaat meermaals laag: alle kolommen van dezelfde rij worden achtereenvolgens gelezen

Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

DRAM: vervulde LEES- en SCHRIJF-cyclus



- **Row Address (~50ns)**
 - Plaats *Row address* op adreslijnen en activeer de RAS-lijn
 - Volledige rij wordt gelezen en opgeslagen in de *column latches*
 - Inhoud van de volledige rij van geheugencellen is hierdoor vernietigd
- **Column Address (~10ns)**
 - Plaats *Column address* op adreslijnen en activeer de CAS-lijn
 - Maak toegang tot de geselecteerde bit uit de volledige rij
 - READ: transfer van geselecteerde *column latch* naar *Dout*
 - WRITE: plaats *Din* op de geselecteerde plaats in de *column latch*
- **Rewrite (~30ns)**
 - Schrijf de (volledige) inhoud van de *column latch* terug in de rij

Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

DRAM: REFRESH

- **DRAM heeft REFRESH nodig**
 - geheugen is gebaseerd op ladingopslag op condensator
 - lading lekt weg en moet dus 'ververst' worden om juiste bitwaarde te behouden
 - dit moet om de 8 ms à 16 ms gebeuren (alhoewel er tegenwoordig al devices zijn die slechts om de 100 ms moeten ververst worden)
- **Een READ-operatie ververst automatisch alle adressen van de geselecteerde rij**
 - deze lees-operaties gebeuren echter niet systematisch en niet vlug genoeg om het volledige geheugen op peil te houden
- **Er zullen dus speciale REFRESH-cycli moeten ingebouwd worden in DRAM-systemen**
 - twee principes: *burst refresh* en *distributed refresh*

Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

DRAM: REFRESH

• BURST REFRESH

- alle rijen in het geheugen worden achtereenvolgens verversd tijdens de refresh-periode
- vb. geheugen met 8 ms refresh-periode:
 - » om de 8 ms gebeurt een refresh van alle rijen in één blok snel achter elkaar
 - » normale lees/schrijf-operaties worden tijdelijk uitgesteld

• DISTRIBUTED REFRESH

- elke rij wordt afzonderlijk verversd ergens tussen de normale lees/schrijf-operaties door
- vb. geheugen van 1024 rijen met 8 ms refresh-periode:
 - » om de $8 \text{ ms} / 1024 = 7.8 \mu\text{s}$ moet er een refresh van een rij gebeuren
 - » normale lees/schrijf-operaties lopen quasi door

Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

DRAM: REFRESH

• REFRESH-operaties : verschillende mogelijkheden

- RAS-only refresh
- CAS before RAS (automatic) refresh
- hidden refresh (read) cycle
- hidden refresh (write) cycle
- self refresh

• vereist 'refresh control and timing' on-chip

• externe 'refresh controller'

• 'PSEUDOSTATIC RAM'

- = dynamische RAM maar de volledige refresh-logica is mee geïntegreerd (waardoor minder bits voor dezelfde oppervlakte, maar er is geen externe logica nodig)

Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

DRAM: evolutie

• Verleden:

- FPM DRAM : Fast Page Mode DRAM
 - » eerste generatie DRAM
- EDO DRAM : Extended Data Output DRAM
 - » tweede generatie DRAM (vanaf 4 Mbit)

• Heden:

- SDRAM : Synchronous DRAM
 - » derde generatie DRAM (vanaf 16 Mbit)
- SDRAM-DDR : Synchronous DRAM with Double Data Rate

• Toekomst (nabije?):

- SLDRAM : SyncLink DRAM
- DRDRAM : Direct Rambus DRAM
- Concurrent Rambus DRAM
- ...

Omvang:

van 64Kbit tot 1 Gbit

Configuratie:

van 64Kx1 tot 256Mx4

Snelheid:

van 50ns tot 150ns cycle time

DRAM

geheugen-IC's

Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

RAM: samenvattend overzicht

SRAM (Statische RAM):

- snel (bv. 5 à 100 ns)
- eenvoudige interface
- matige bit dichtheid - bv. 4 Mbit (4 gates → 4 tot 6 transistors / cel)
- gemiddelde prijs/bit

Kleine systemen of zeer snelle toepassingen (cache memory)

DRAM (Dynamic RAM):

- matige snelheid (bv. 50 à 150 ns)
- complexe interface (refresh)
- hoge bit dichtheid - bv. 64 Mbit (1 transistor cel)
- Lage prijs/bit

Grote geheugens: PC's Mainframes

Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

VRAM: Video-RAM

VRAM = dual port DRAM voor video-adaptors

- dual port DRAM
 - kan twee verschillende *devices* gelijktijdig (maar via verschillende wegen) toegang geven tot zijn geheugencellen
- VRAM
 - *special-purpose dual port memory*
 - één zijde is echt random toegankelijk (μ P-zijde)
 - andere zijde wordt continu sequentieel uitgelezen om het beeldscherm te vullen

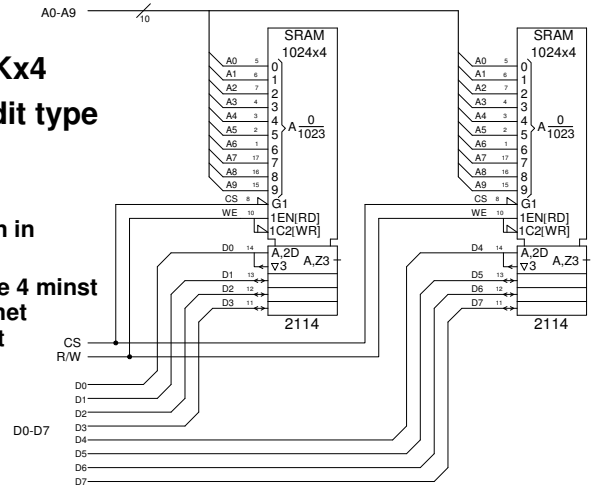
Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

GEHEUGENUITBREIDING (1)

Uitbreiding van de woordbreedte

- Voorbeeld:
 - SRAM 2114 = 1Kx4
- Bouw met IC's van dit type een 1Kx8 geheugen
- Principe:
 - adres- en controlelijnen in parallel op beide IC's
 - het éne IC zorgt voor de 4 minst beduidende data-bits, het andere voor de 4 meest beduidende



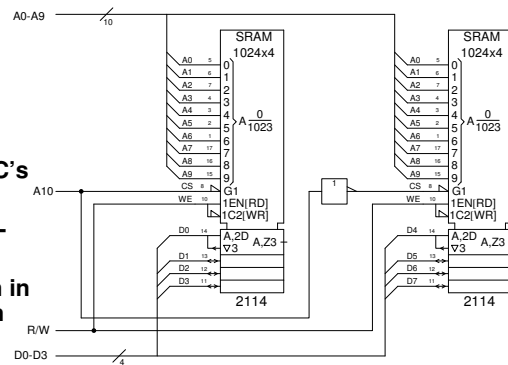
Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

GEHEUGENUITBREIDING (2)

Uitbreiding van het adresbereik

- Voorbeeld:
 - SRAM 2114 = 1Kx4
- Bouw met IC's van dit type een 2Kx4 geheugen
- Principe:
 - datalijnen in parallel met beide IC's verbinden
 - Write Enable blijft gemeenschappelijk voor beide IC's
 - 10 minst-beduidende adreslijnen in parallel met beide IC's verbinden
 - meest-beduidende adreslijn rechtstreeks op CS van een IC en via inverter op CS van tweede IC



Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

GEHEUGENMODULE

- Geheugenmodule = PCB met een aantal geheugen-IC's
 - uitbreiding van de woordbreedte
 - uitbreiding van de geheugendiepte
- Voorbeeld:
 - 30-pins SIMM van 1Mx9
 - opgebouwd met 9 IC's van elk 1Mx1
- Toepassing: gebruik in PC
 - Indien de woordbreedte van de module kleiner is dan de breedte van de databus, moeten meerdere modules gelijktijdig gebruikt worden zodat de woordbreedte kan uitgebreid worden tot de breedte van de databus (opvullen van een bank)
 - » vb. μ P 80486 heeft databus van 32 bits
 - » 30-pins SIMM heeft 8 bits data (+ eventueel 9^e parity-bit)
 - » 1 bank = 4 SIMMs
 - Indien meerdere geheugenbanken kunnen opgevuld worden, leidt dit tot de uitbreiding van het adresbereik
 - » vb. 2 banken > 2 x 4 SIMMs van 1Mx8 > 8 Mbyte geheugen (2M x 32)

Geheugens

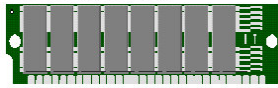
DIGITALE ELEKTRONICA 1ELO_3° blok

GEHEUGENMODULE in PC

• 30-pin SIMM

SIMM = Single-in-line Memory Module
8 bits data (woordbreedte)
BANK opvullen om volledige woordbreedte te bekomen (bv. 32 bit)

30-pin SIMM (3,5 x .75")

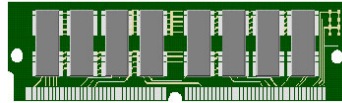


Afstand tussen de contacten:
pitch = 2,54 mm

• 72-pin SIMM

32 bits data (= woordbreedte van μ P 80486) in één keer (i.p.v. 4x 30-pins SIMMs)

72-pin SIMM (4.25 x 1")



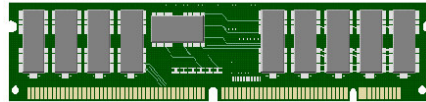
• 168-pin DIMM

DIMM = Dual-in-line Memory Module (verschillende aansluitingen aan soldeeren aan componentzijde)

64 bits data (= woordbreedte van Pentium) in één keer (i.p.v. 2x 72-pins SIMMs)

meerdere modules = uitbreiding geheugendiepte

168-pin DIMM (5.375 x 1")

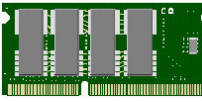


Afstand tussen de contacten:
pitch = 1,27 mm

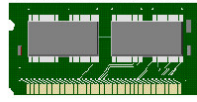
• SO-DIMM

SO = Small Outline - 72 / 144 / 200 pins gebruikt in draagbare PC

144-pin SODIMM (2.625 x 1")



72-pin SODIMM (2.375 x 1")



pitch = 0,5 mm

Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

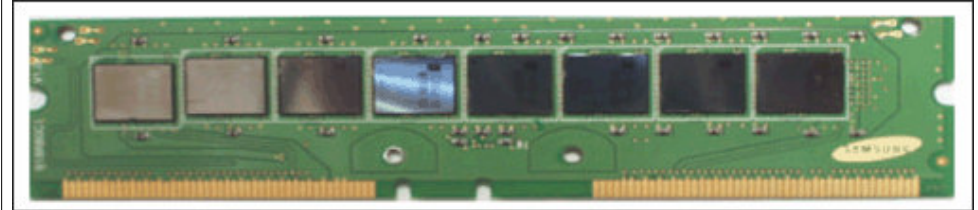
GEHEUGENMODULE in PC

• 184-pin DIMM

– DDR = Double Data Rate
» 133 MHz next generation SDRAM

• RIMM = Direct Rambus Memory Module

» 800 MHz
» 184 - 232 pins



Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

GEHEUGENMODULE

EVEN REALISEREN

• Standaard PC tegenwoordig:

- 512 MByte DDR RAM (64M x 64 bit)
- 184 pins DIMM opgebouwd met 16 IC's van elk 256 Mbit DRAM

• Hoeveel is dit eigenlijk?

- 1 karakter = 1 byte (ASCII-code)
- 1 pagina tekst = 40 lijnen x 80 karakters/lijn = 3200 karakters
- 256 MByte = 80.000 pagina's tekst !!!

• Toekomst (nabije?)

- 1x 184-pins DIMM van 4 GByte
- opgebouwd met 36 IC's van elk 1 Giga-bit DRAM

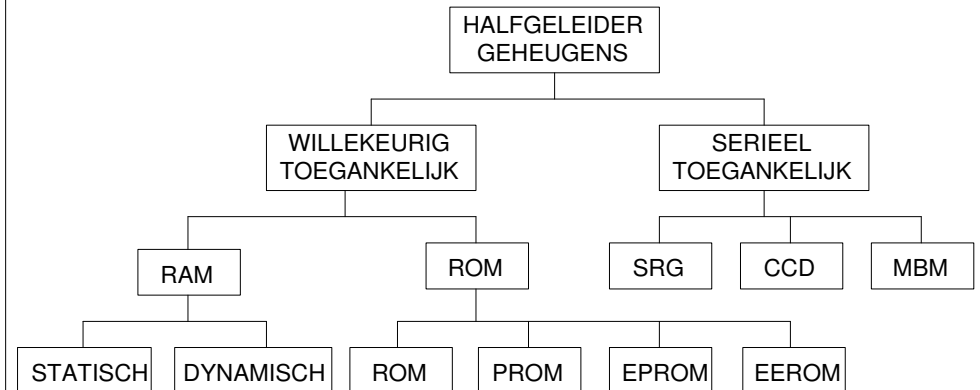
• Verleden (\pm 25 jaar)

- 1979: Commodore 64 : 64K RAM

Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

HALFGELEIDER-GEHEUGENS



Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

(ALLEEN-)LEES GEHEUGEN = ROM

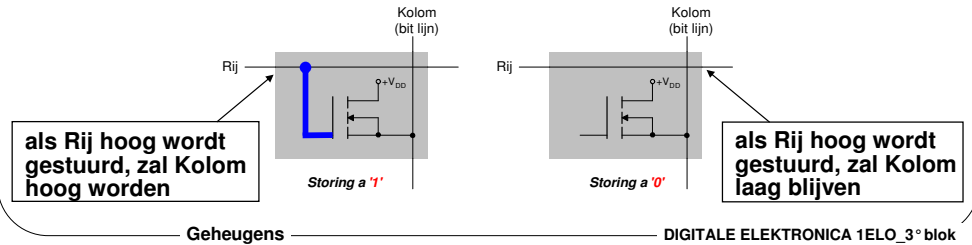
ROM = Read Only Memory:

- gebruiker kan (in principe) alleen de reeds aanwezige informatie gaan uitlezen
- verschillende soorten:
 - » **MASKER ROM** : informatie door fabrikant ingebracht tijdens productieproces
 - » **PROM** : kan éénmaal door gebruiker geprogrammeerd worden
 - » **EPROM** : kan gewist worden met UV-licht
 - » **EEPROM** : kan elektrisch gewist worden
- informatie blijft 'vast' in het geheugen, ook als de voedingspanning wegvalt (*non-volatile*)
- is eigenlijk ook willekeurig toegankelijk (*random access*):
 - » elke geheugenplaats kan aangesproken worden (geadresseerd) om er onmiddellijk uit te lezen

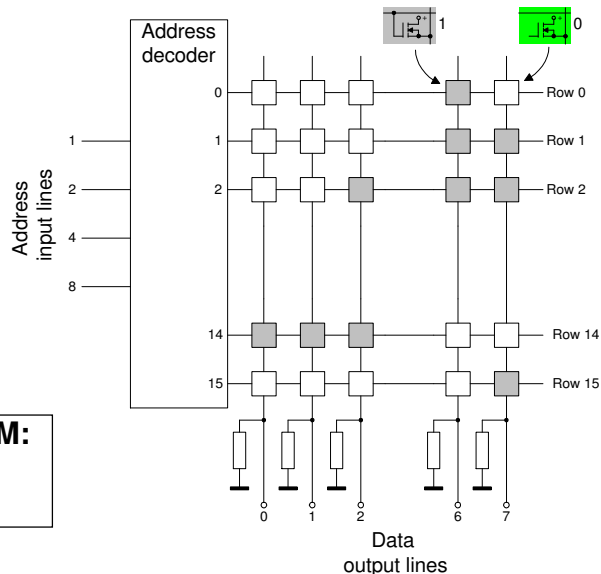
MASKER ROM

MASKER ROM = (Standaard) ROM

- informatie wordt tijdens het productieproces door de fabrikant ingebracht
- alleen voor massaproductie, maar dan ook het goedkoopst
- aangebrachte informatie kan nooit meer gewijzigd worden
- het aanbrengen van een 1 resp. 0 in het geheugen gebeurt door het al dan niet aanbrengen van een transistor op het kruispunt van een rij en een kolom



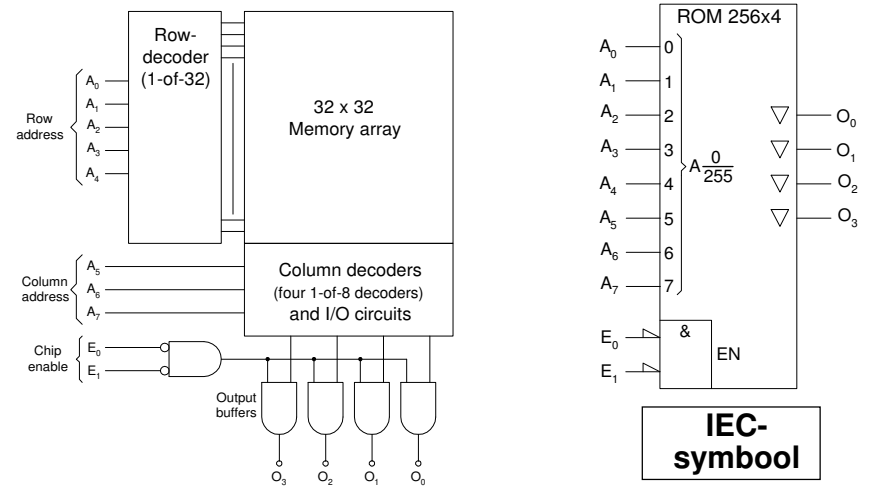
EEN EENVOUDIGE MASKER ROM



Een 16x8 bit ROM:
16 adressen van elk 8 bits

INTERNE ROM ORGANISATIE

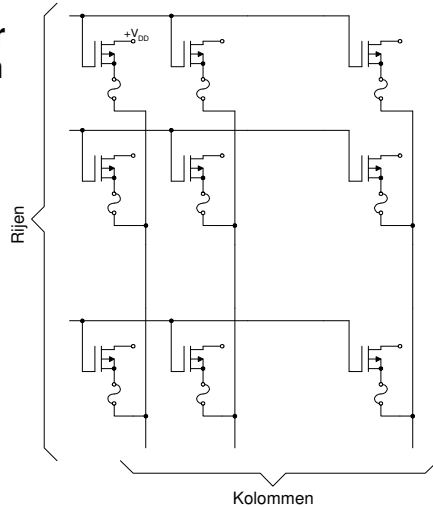
- ROM is intern ook meestal georganiseerd als een XY-matrix (coïncidentie-principe)



PROM

PROM = (1 time) PROGRAMMABLE ROM

- PROM = ROM die door gebruiker 1x kan geprogrammeerd worden
- in iedere geheugencel is nu een kleine zekering ingebouwd, die met een PROM-programmer (al dan niet - 1 of 0) kan doorgebrand worden d.m.v. een stroompuls (bv. 11V, 400mA, 10µs)
- voordeel: tijdsbesparing, geen individueel masker



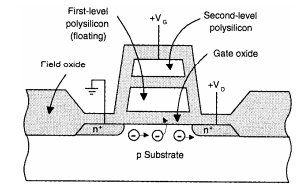
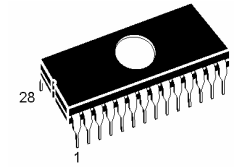
Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

EPROM

EPROM = UV-erasable PROM

- EPROM = PROM die door gebruiker kan geprogrammeerd worden
 - » met stroompulsen, in PROM-programmer
- en achteraf ook weer gewist m.b.v. UV-licht
 - » bv. 15 min. In EPROM-eraser
- ceramische behuizing met typerend venstertje van kwarts-glas
- basiscel is een FET met een geïsoleerde 'floating' gate
- beperkte levensduur: bv. maximaal 100x wissen
- opgepast: wordt ook gewist door langdurige blootstelling aan daglicht



Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

EPROM



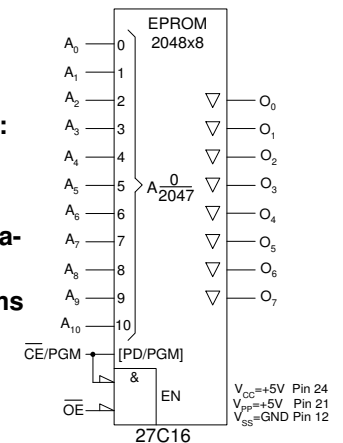
Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

EPROM-voorbeeld

EPROM-familie 27xx

- Eerste: 2708 = 1k x 8 (3 voedingsspanningen)
- 2716 = 2k x 8
 - » lezen : OE=0, CE/PGM=0
 - » schrijven (programmeren, met programmer):
 - V_{PP}=+25V (ipv +5V)
 - OE=1
 - adres aanleggen, data aanleggen op data-uitgangen
 - CE/PGM=hoge puls gedurende 10 à 50 ms
 - » power-down mode :
 - CE/PGM=hoog
 - P_D daalt van 525 mW tot 132 mW max.



Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

EPROM-familie 27Cxx

type	omvang	type	omvang	type	omvang	a. bits
27C08	1K*8					8K
27C16	2K*8					16K
27C32	4K*8					32K
27C64	8K*8					64K
27C128	16K*8					128K
27C256	32K*8					256K
27C512	64K*8					512K
27C010	128K*8	27C1024	64K*16			1M
27C020	256K*8	27C2048	128K*16			2M
27C040	512K*8	27C4096	256K*16	27C400	512K*8 / 256K*16	4M
27C080	1M*8			27C800	1M*8 / 512K*16	8M
				27C160	2M*8 / 1M*16	16M
				27C320	4M*8 / 2M*16	32M

- 8 bits of 16 bits data (breed)
- van 1K tot 4M geheugenwoorden (diep), dus 10 tot 22 adreslijnen
- oorspronkelijke reeks in NMOS, tegenwoordig volledig CMOS
- verkrijgbaar in verschillende snelheden: van 255 ns tot 55 ns *access time*
- tegenwoordig ook **HIGH SPEED** versies : bv. 27H010 (45 ns ipv 105 ns)
- **low-voltage** reeksen: 27LV010 met $V_{CC}= 3.3 V$, 27LV010B met $2.7V < V_{CC} < 3.6V$
- **OTP**-versie : **One-time programmable**, heeft geen venstertje en is daarom beterkoop (maar dus niet meer wisbaar)

Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

EEPROM

EEPROM = electrically erasable PROM

- **EEPROM (E²PROM)** = PROM die door gebruiker kan geprogrammeerd worden en achteraf ook weer gewist m.b.v. elektrische pulsen
- kan in de schakeling blijven zitten om gewist en opnieuw geprogrammeerd te worden: **ISP (in system programmable)**
- elke geheugenplaats kan individueel gewist worden
- voor programmeren volstaat +5V
- leescyclus bv. 200 ns (vergelijkbaar met andere PROMs)
schrijfcyclus bv. 9 ms (d.i. 50000x trager!)
- ‘meestal-lees’ geheugen
- niet-vluchtig
- bv. kanaalkiezer TV, instellingen van radio, ...

Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

FLASH-EPROM

- Vergelijkbaar met EEPROM, maar eenvoudiger basiscel
- wissen gebeurt echter over het volledige IC ineens of over een bepaalde blok, maar niet per individueel adres
- eerste generatie had (naast +5V) ook +12V nodig om te programmeren
- bij volgende generaties wordt deze hogere programmeer-spanning op de chip zelf gegenereerd, zodat slechts één voedingsspanning moet aangesloten worden
- tegenwoordig ook low-voltage versies, bv. 3,3V

Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

PCMCIA FLASH CARD

FLASH = high-density non-volatile read/write memory

- bv. gebruikt ter vervanging van floppy of (kleine) harde schijf
 - » PCMCIA FLASH CARD (2 Mbyte tot 8 Gbyte) voor laptop
 - geen bewegende delen
 - schokbestendig
 - geringe stroomopname
 - snellere data transfer
- PCMCIA = Personal Computer Memory Card International Association



Geheugens

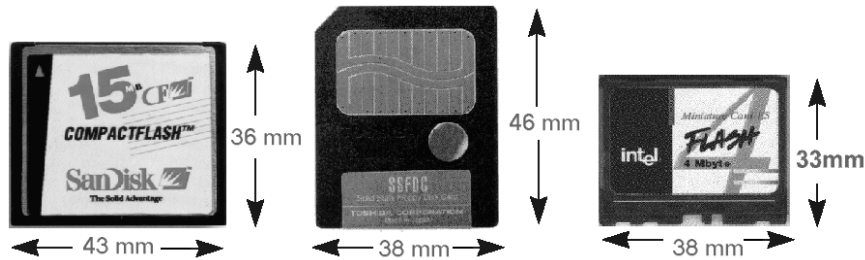
DIGITALE ELEKTRONICA 1ELO_3° blok

FLASH MEMORY CARDS

FLASH = high-density non-volatile read/write memory

- toepassing in bv. digitale foto-camera's, MP3-players, PDA's, ...
- verschillende types :

- » CF = Compact Flash
- » SD = Secure Digital Card
- » SM = SmartMedia
- » MS = Memory Stick (Sony)
- » MMC = MultiMediaCard
- » xD = xD-Picture Card (Olympus, Fuji, Toshiba)



Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

FLASH MEMORY CARDS

FLASH = high-density non-volatile read/write memory

- toepassing in bv. digitale foto-camera's, MP3-players, PDA's, ...
- via *card-reader* aansluitbaar op PC

- verschillende types :
- » CF = Compact Flash
- » SM = SmartMedia
- » MMC = MultiMediaCard
- » SD = Secure Digital Card
- » MS = Memory Stick (Sony)
- » xD = xD-Picture Card (Olympus, Fuji, Toshiba)



Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

USB FLASH PENDRIVE

FLASH = high-density non-volatile read/write memory

- toegepast als 'removable memory' voor PC
- aansluitbaar op PC via de speciale USB-connector

Verkrijgbaar in verschillende groottes en prijzen:

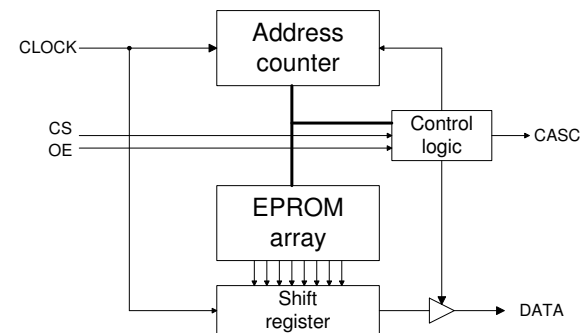
	grootte	prijs maart 2004	prijs maart 2005	prijs febr. 2007
USB1.1	32 MB	€ 29		
	64 MB	€ 45		
	128 MB	€ 55		
	256 MB	€ 95		
USB2.0	128 MB	€ 65	€ 20	
	256 MB	€ 109	€ 30	
	512 MB	€ 209	€ 50	€ 15
	1 GB	€ 399	€ 100	€ 25
	2 GB	€ 899	€ 200	€ 50
	4 GB			€ 90

Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok

Seriële E(E)PROM

- Combinatie van een EPROM (of EEPROM) met een ingebouwde adres-teller
- De teller loopt alle adressen af op het ritme van de klok en de data worden bit voor bit naar buiten gestuurd.
- Weinig IC pinnen nodig, vb. 8-pins DIL (OTP-EPROM)



Geheugens

DIGITALE ELEKTRONICA 1ELO_3° blok