



Departement industriële wetenschappen en technologie

Dynamische CMOS Logica

Jan Genoe
KHLim

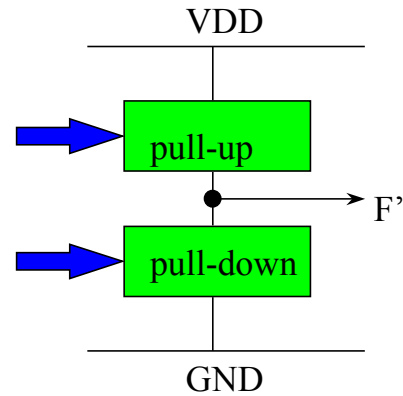
In dit hoofdstuk bespreken we een aantal dynamische CMOS poorten die tot veel snellere schakelingen kunnen leiden zonder een extra energie verbruik. Het probleem is wel dat het ontwerp van een dergelijke schakeling een grondige studie van de timing vereist. Vandaar dat dit alleen toegepast zal worden als een zeer snelle schakeling moet bekomen worden.

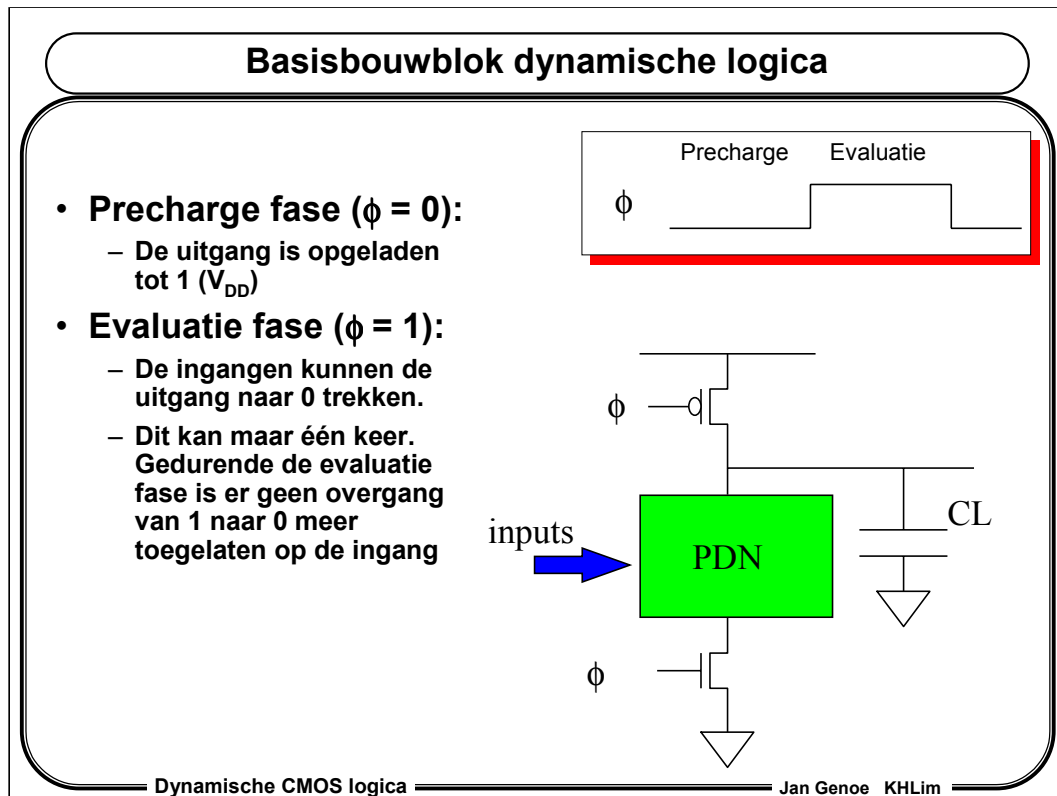
Referenties:

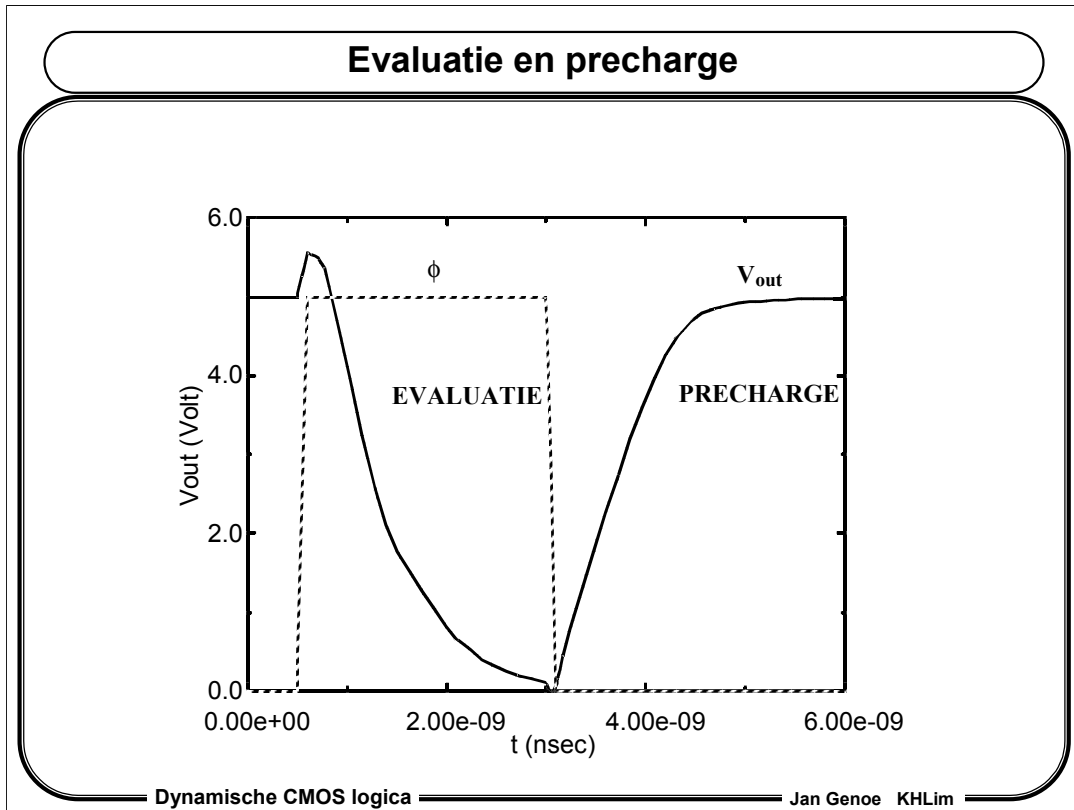
N.H.E. Weste and K. Eshraghian, "Principles of CMOS VLSI design, a systems perspective", Second edition, Addison-Wesley Publishing company:
Delen 5.4.4, 5.4.7, 5.4.8 en 5.5.8

Herhaling: normale statische CMOS logica

- De schakeling bestaat uit een PUN en een PDN.
- Slechts een van de 2 netwerken is in geleiding
 - Er is nooit een statisch pad van de voeding naar de grond
- Er is steeds een geldige uitgang beschikbaar overeenkomende met de ingangen
 - Er is wel een vertraging







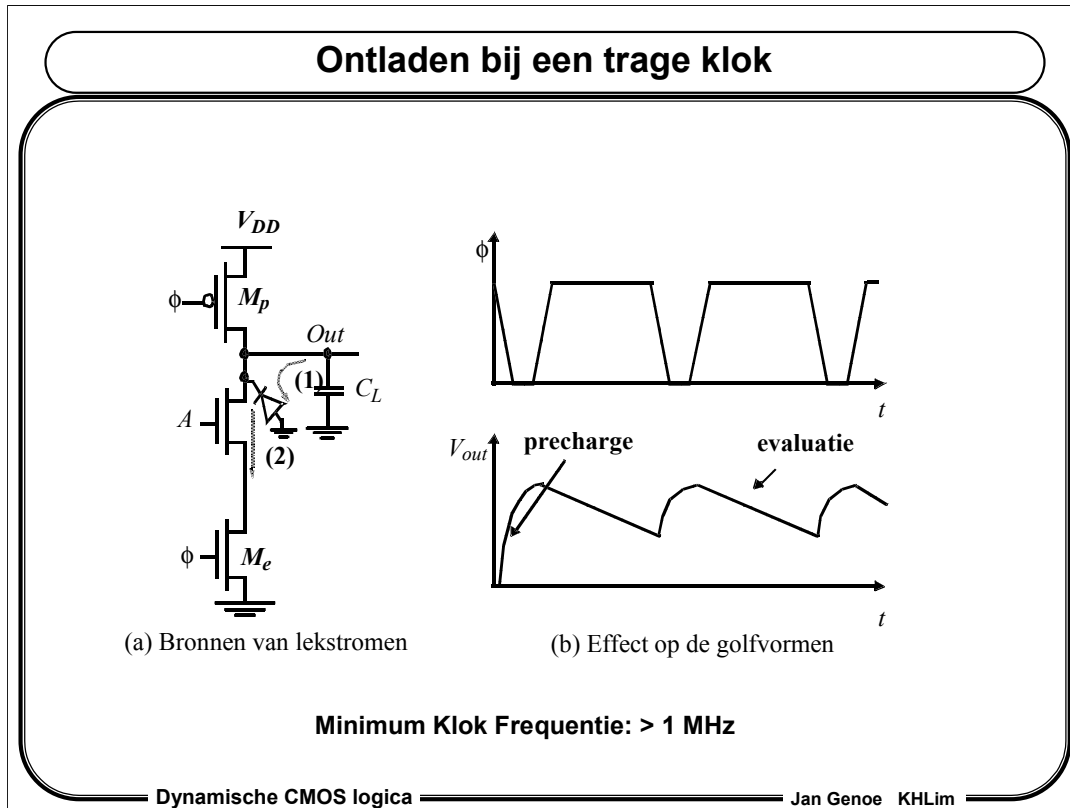
Voor- en nadelen

- **Voordelen:**

- Een kleinere schakeling (minder IC oppervlakte)
- Logica enkel in nMOS transistors
- Een snellere schakeling (minder ingangscapaciteit, minder uitgangscapaciteit)
- Geen statisch verbruik

- **Nadelen:**

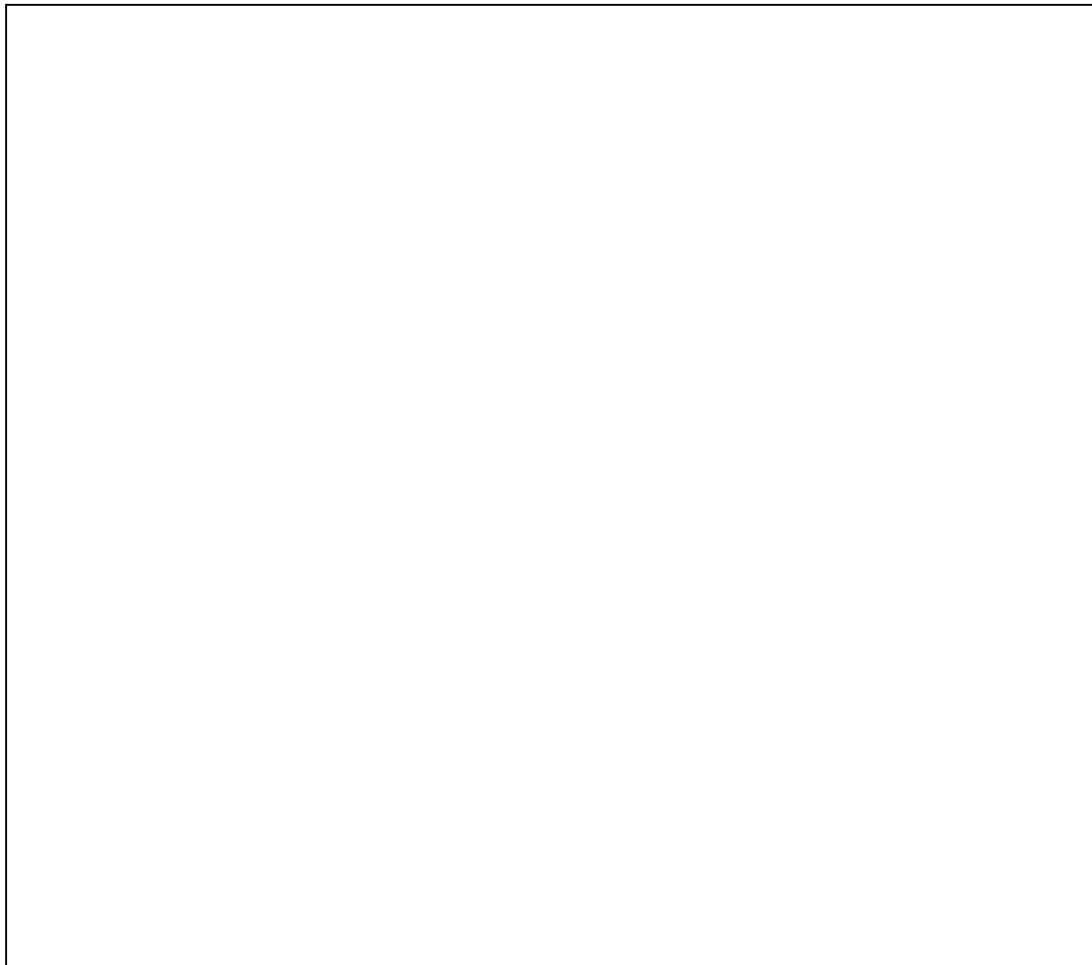
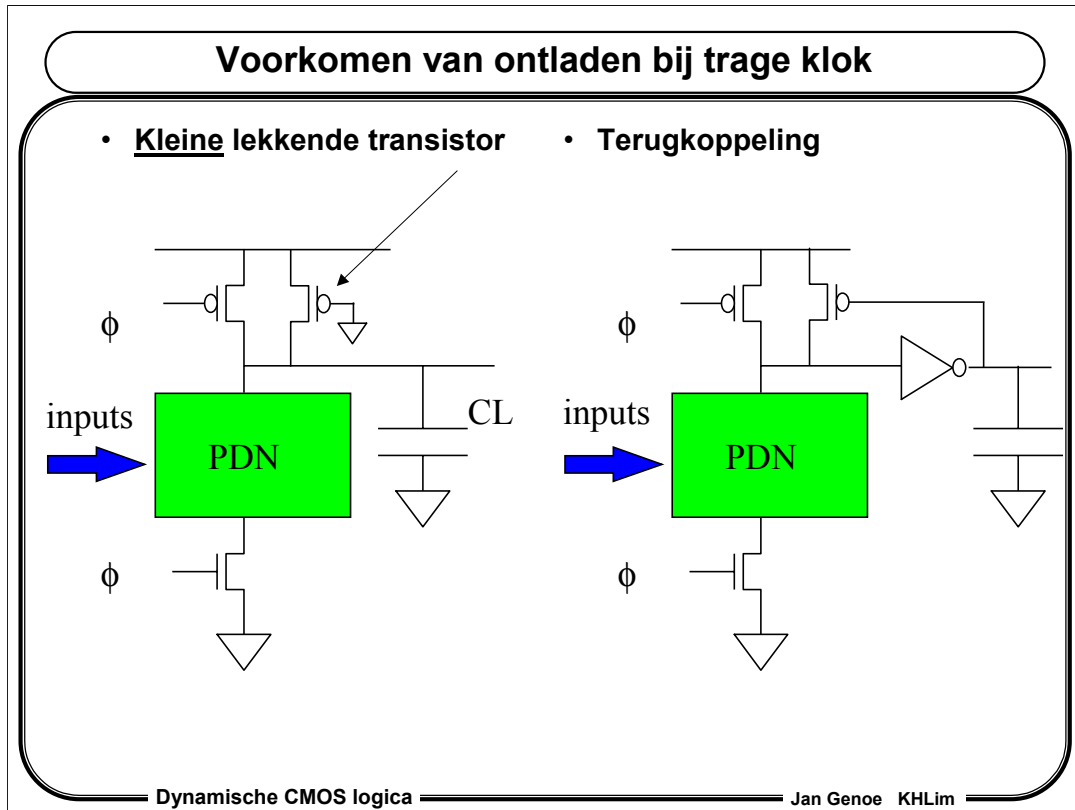
- De signalen zijn slechts de helft van de tijd geldig
- Klok moet een minimale snelheid hebben (lekstromen)
- Grotere externe ruisgevoeligheid
 - » "1" is tijdens de evaluatie een zwevende knoop
 - » Kleinere ruismarges (nMOS geleid vanaf V_T)
- Een juiste timing is zeer belangrijk
- Eenvoudige serieschakeling is niet mogelijk
- Dynamische effecten moeten in rekening gebracht worden
 - » Zijn de tussenknopen wel opgeladen ...



Er zijn 2 bronnen die aanleiding geven tot het ontladen van de vooraf opgeladen knoop, namelijk:

- De lekstroom van de van de drain-bulk junctie, zowel van de transistors in het PDN als van de precharge transistor
- De subthreshold stroom van de MOS transistor

Hierdoor zal de opgeladen knoop zich langzaam ontladen. Globaal kunnen we stellen dat deze dynamische logica slechts bruikbaar is voor klokfrequenties boven 1 MHz.



Probleem van ladingsherverdeling

- **Precharge fase:**
 - M_a is uit geleiding: X kan "0" zijn en out "1"
- **Evaluatie fase:**
 - M_a gaat in geleiding:
 - » Out moet 1 blijven maar de spanning zakt door ladingsherverdeling tussen C_L en C_a

Dynamische CMOS logica
Jan Genoe KHLim

Opladen van tussenknoepen

- **Zonder vooropladen**
 - De output wordt vooropgeladen tot V_{DD} , maar de tussenknoop kan op 0 blijven.
 - Bij evaluatie krijgen we ladingsherverdeling als "a" hoog is en "b,c" niet

$$V_{out} = \frac{C_L}{C_L + C_a} V_{dd}$$

- **Met vooropladen tussenknoepen**
 - $V_{out} = V_{DD}$

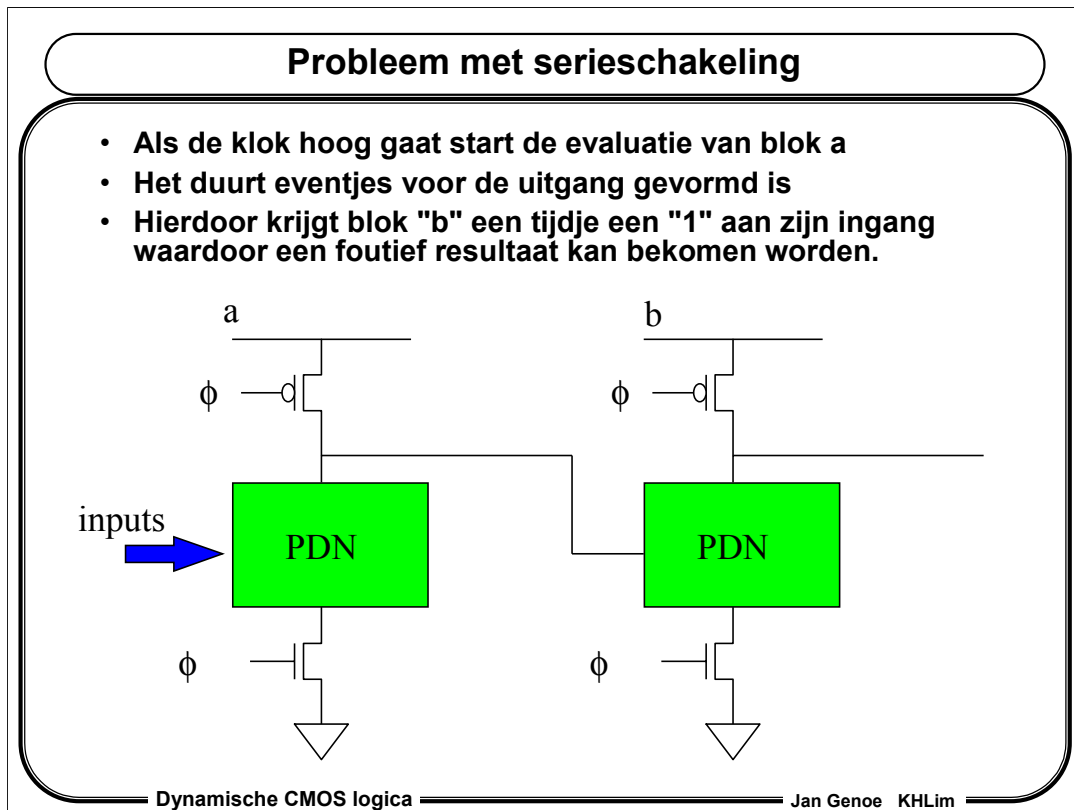
Dynamische CMOS logica Jan Genoe KHLim

Het opladen van een tussenknoop is dus een oplossing te voorkoming van de ladingsherverdeling. Bovendien kunnen we stellen dat ook de methodes ter voorkoming van ontlading bij een trage klok hiervoor een oplossing bieden.

Klok doorkoppeling

- Door capacitieve koppeling kan het kloksignaal observeerbaar zijn in het zwevend uitgangssignaal
- Hierdoor kan het signaal boven de voedingsspanning komen
- Hierdoor kan de well opladen
- Voorzie voldoende bulk contacten rond de precharge transistors

Dynamische CMOS logica Jan Genoe KHLim



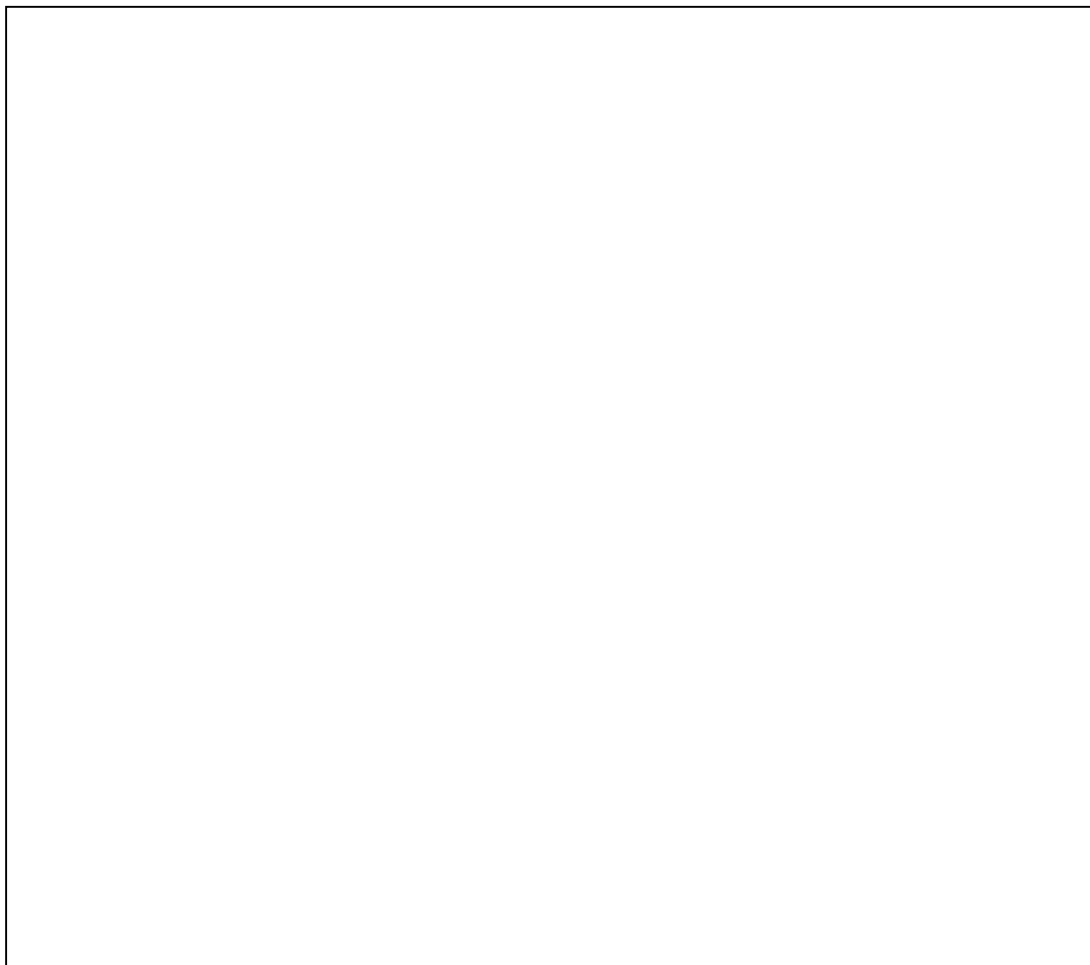
Voorbeeld probleem serieschakeling

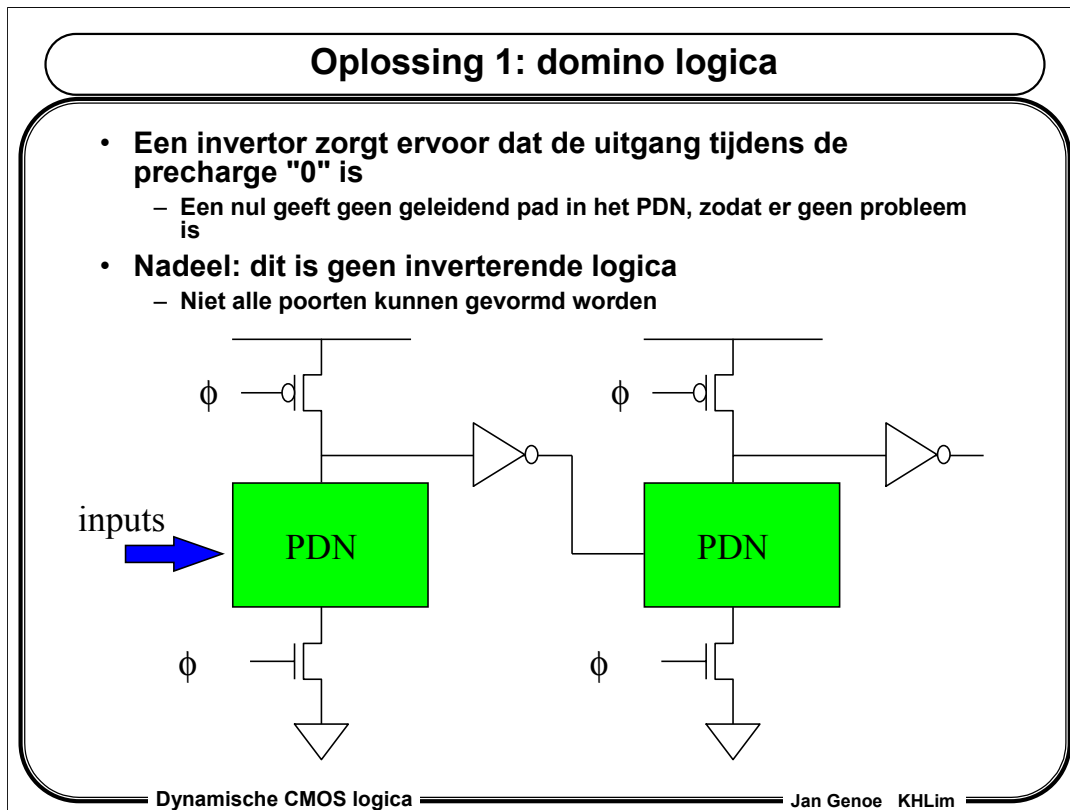
- Het duurt een tijd eer out1 laag is ($< V_T$)
- Gedurende deze ontladen we out2
- We bekommen een spanningsdaling ΔV

(a)

(b)

Dynamische CMOS logica Jan Genoe KHLim





Zolang er geen inversies nodig zijn kunnen op deze wijze de verschillende poorten onbeperkt in serie geschakeld worden. Let er wel op dat het eindresultaat moet kunnen gevormd worden binnen de periode dat de klok hoog is.

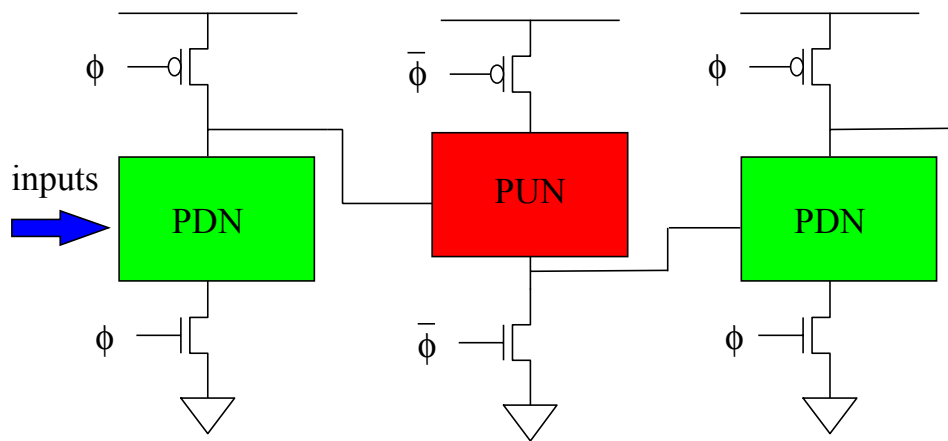
Merk op dat het tussenplaatsen van een invertor niet altijd een nadeel is. Als een lange verbinding moet opgeladen worden, of als er vele poorten moeten aangestuurd worden is deze extra buffer zeker een voordeel.

De invertor verbetert ook de ruismarges in belangrijke mate

Bovendien kan de uitgang teruggekoppeld worden, om toe te laten ook met een trage klok te werken. Deze terugkoppeling geeft wel een extra capacatieve belasting zodat een snel systeem trager wordt.

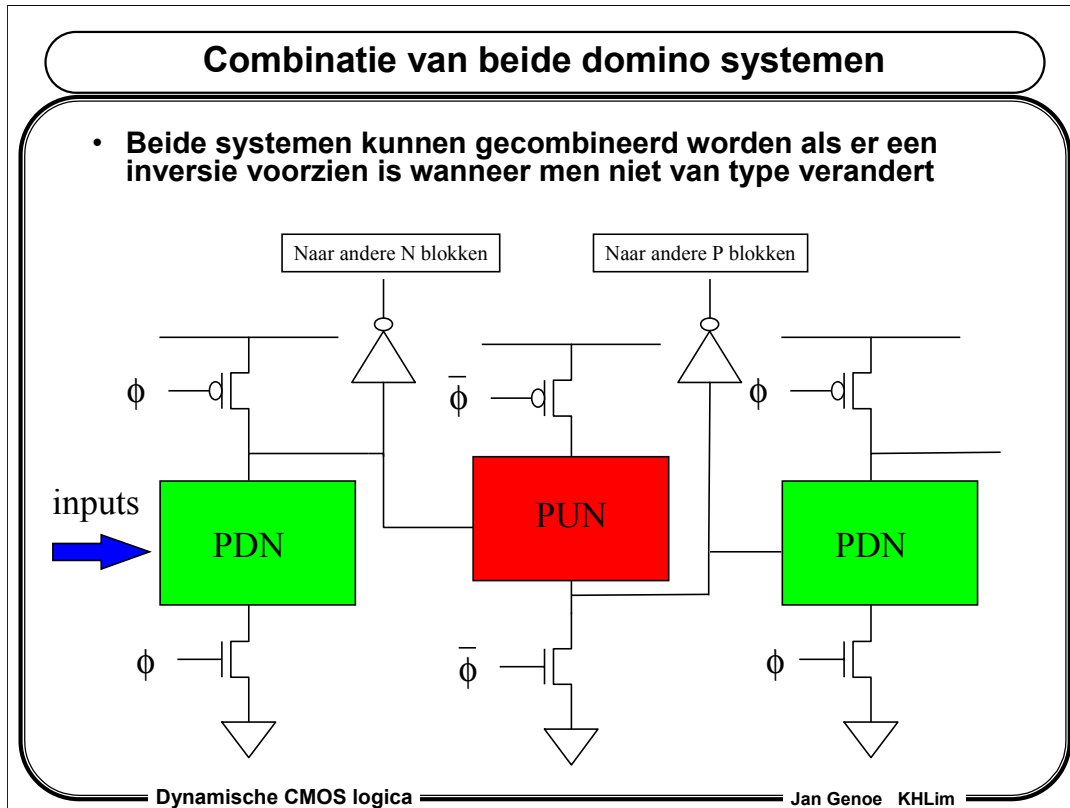
Oplossing 2: NP-domino logica (zipper CMOS)

- Afwisselend N en P domino gates
- P domino gates zijn geklokt met de tegengestelde klok



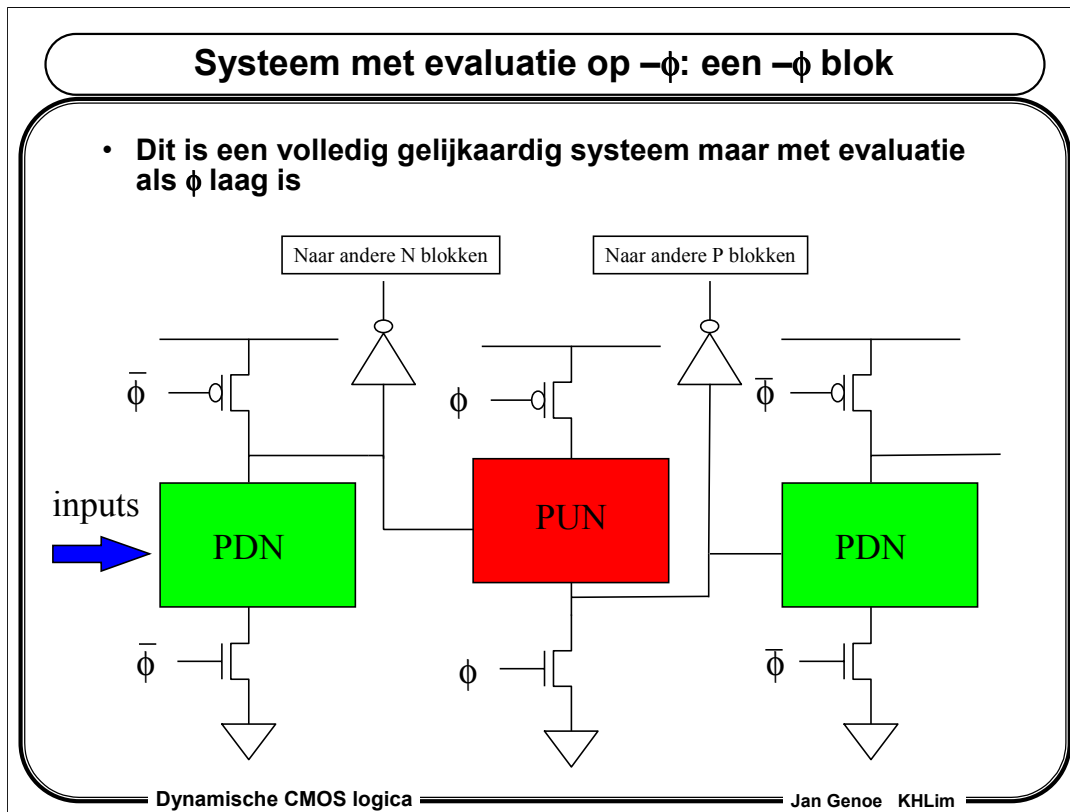
Dynamische CMOS logica

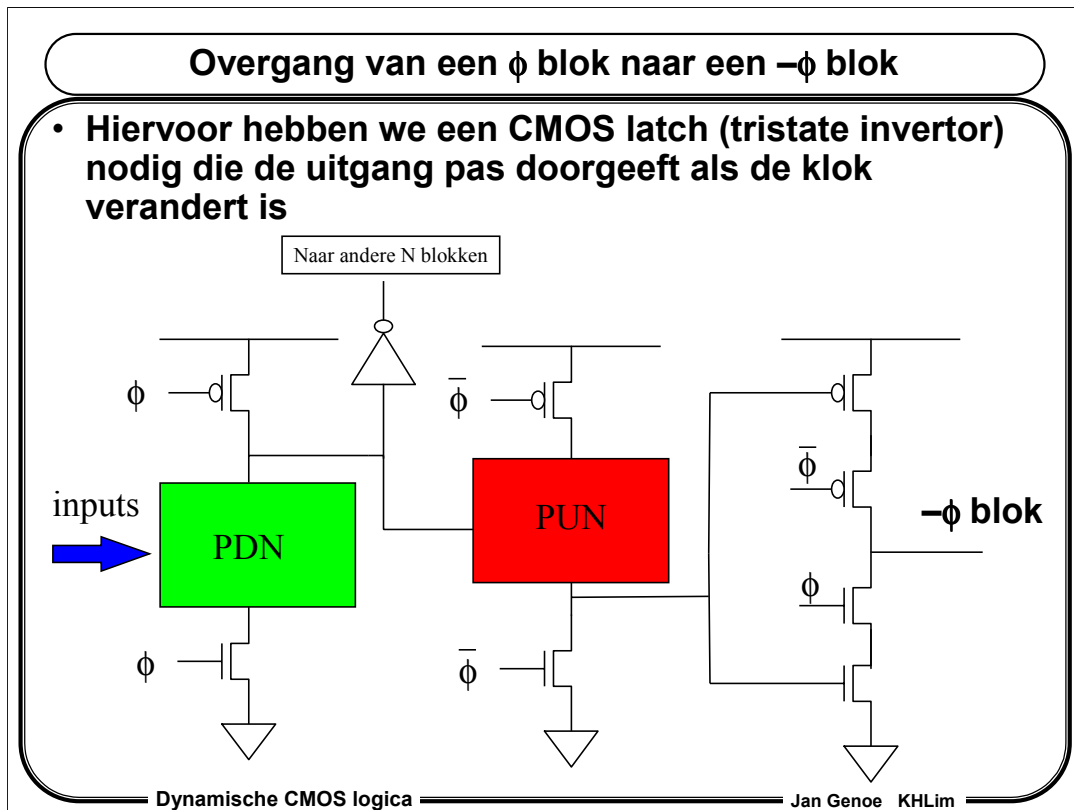
Jan Genoe KHLim

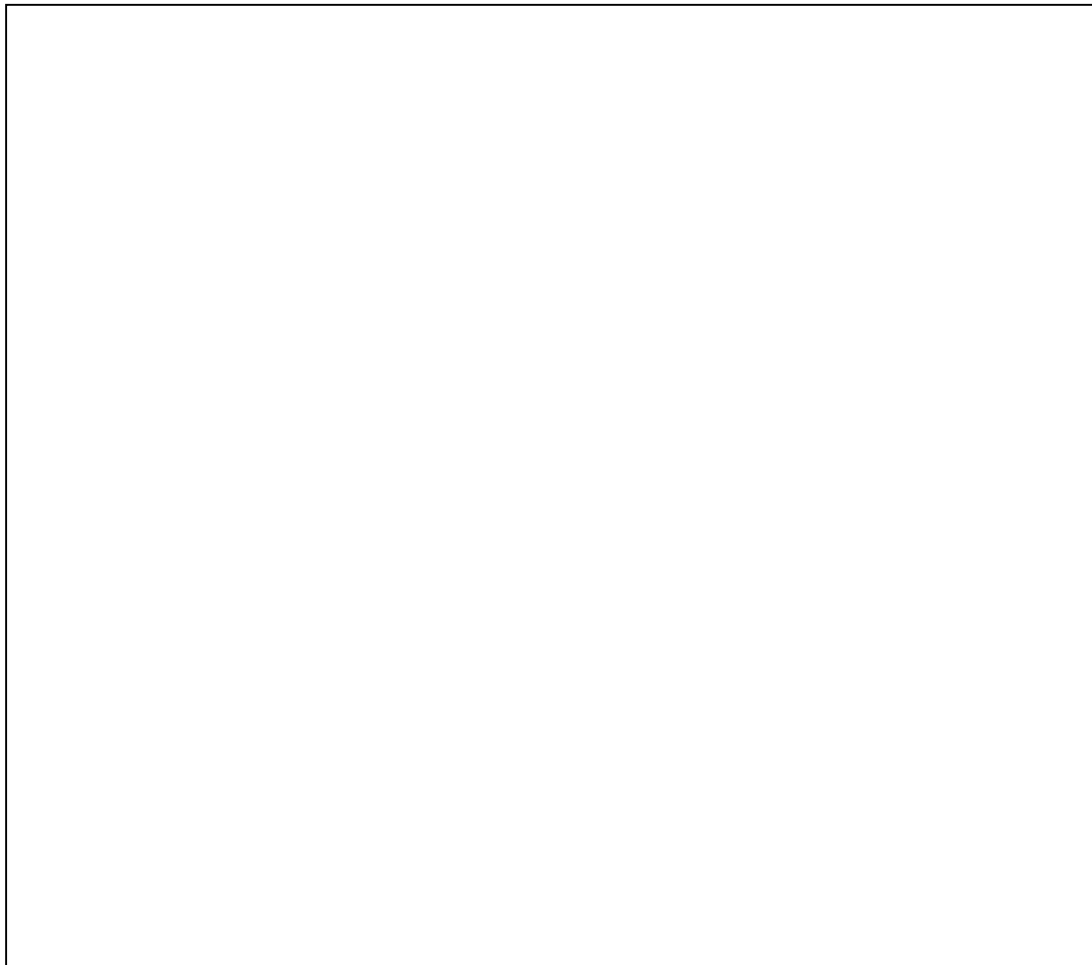
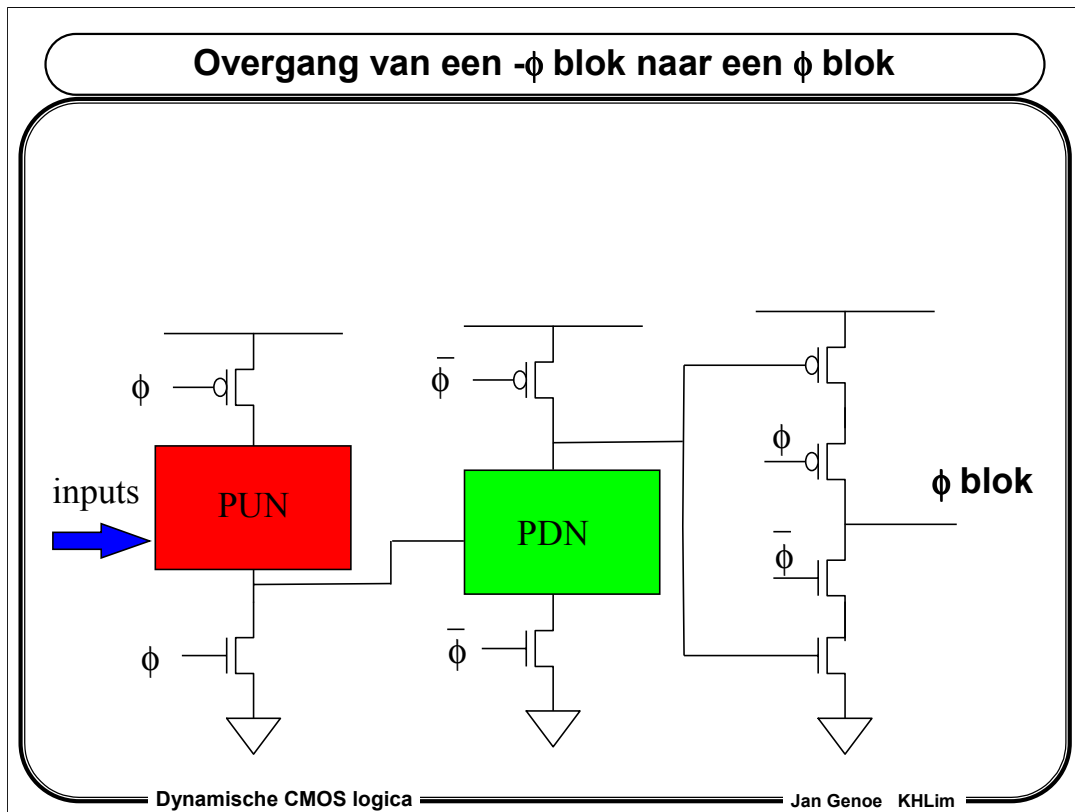


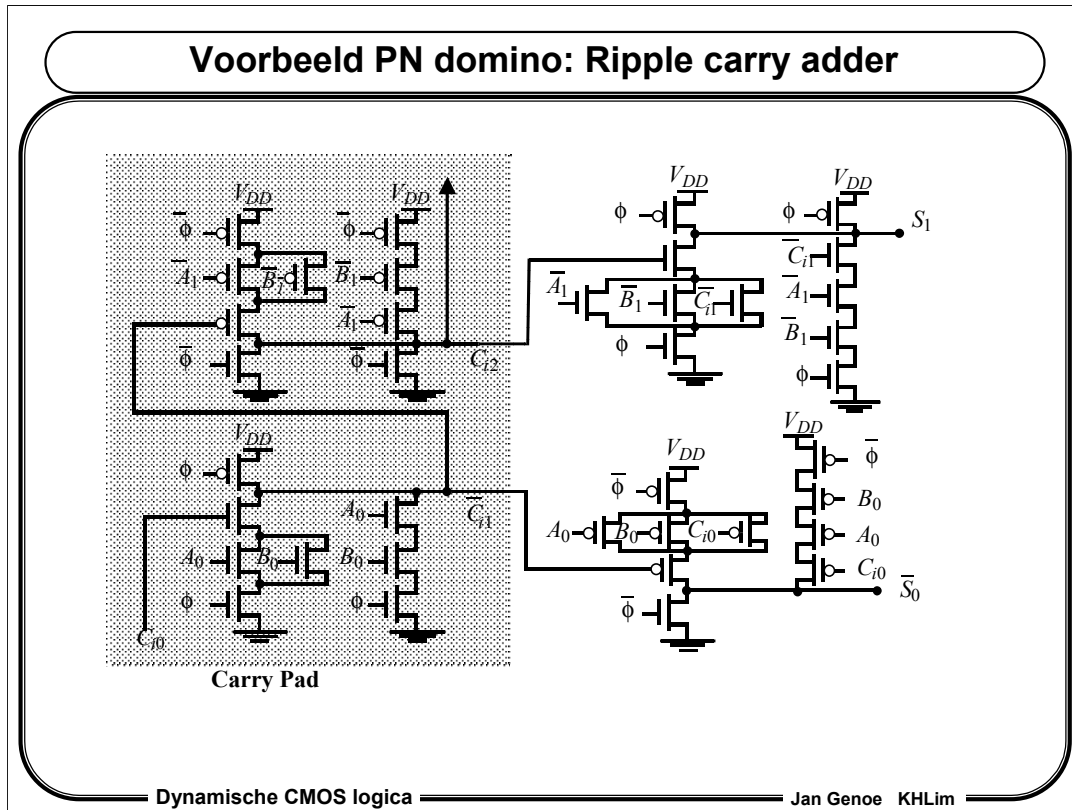
Het is belangrijk hierbij op te merken dat geheel dit blok precharged als ϕ laag is en evalueert als ϕ hoog is. De snelheid van de schakeling moet zodanig zijn dat het signaal aan de uitgang kan bekomen worden voor de evaluatiefase ϕ gedaan is. We noemen een dergelijk blok een $+\phi$ blok

We kunnen in het hierboven beschreven systeem ook alle klokken omdraaien. Dan krijgen we een blok dat precharged als ϕ hoog is en evalueert als ϕ laag is. We noemen een dergelijk blok een $-\phi$ blok









Als voorbeeld van een PN domino logica implementatie geven we hier een ripple carry adder. De uitwerking van dit schema gebeurt in het hoofdstuk over het datapad. We gaan in het hoofdstuk over het datapad nog andere domino schakelingen uitwerken.

Samenvatting dynamische logica

- **Dynamische CMOS logica**
 - is bruikbaar voor kleine en complexe schakelingen die zeer snel moeten zijn (optellers, ...)
 - Moet zeer goed nagekeken en gesimuleerd worden
- **Statische CMOS logica**
 - Het ontwerp is robuust en zeker
 - Van een logisch functie rechtstreeks naar een resultaat, zonder rekening te moeten houden met timing.
 - Kan vanuit VHDL met standaard cellen.
 - Geschikt voor zeer grote ontwerpen.

Dynamische CMOS logica Jan Genoe KHLim