



~~Departement industriële wetenschappen en technologie~~

# Digitale frequentiesynthese

Jan Genoe  
KHLim

## Basismethodes voor digitale frequentie synthese

- **Doel**
  - Aan de hand van digitale input een frequentie juist kunnen instellen
- **Basismethodes**
  - Delers
  - Directe digitale frequentie synthese (DDFS)
  - Fractional-N synthese
- **Vaak gecombineerd met analoge elementen om bijproducten en jitter te verwijderen of om een harmonische te selecteren**
  - Phase locked loops
  - filters

## Delers

- **De klokfrequentie wordt aan de hand van een counter gedeeld**
- **Werkt vooral goed voor machten van 2**
- **Niet-even deeltallen leveren geen duty-cycle van 50 %**
  - belangrijke harmonische inhoud in het signaal
- **Enkel delers van de klokfrequentie kunnen bekomen worden**
  - De klokfrequentie moet op voorhand gekozen worden in functie daarvan.

**Directe digitale frequentie synthese (DDFS)**

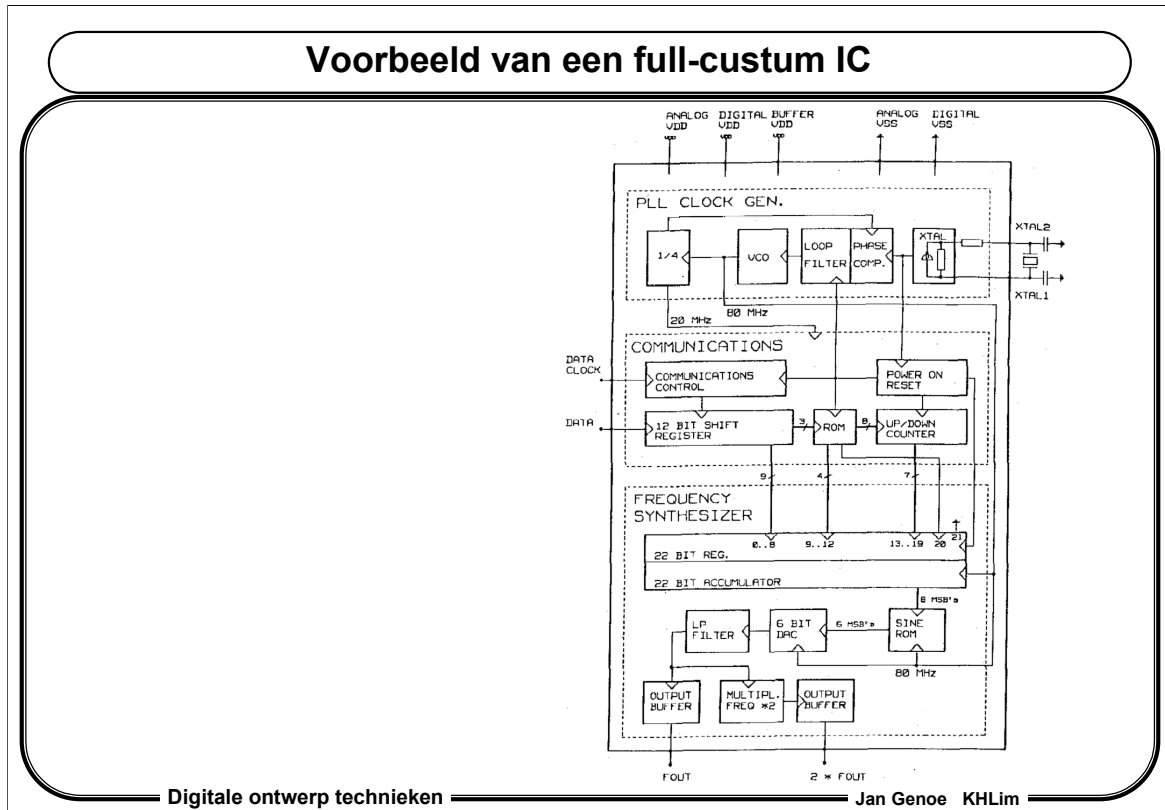
$$F_{uit} = F_{in} \frac{N}{2^k}$$

- **Bouwblokken**
  - register van k bits (R)
  - adder van k bits
- **$R_{in} \leq N + R_{out}$ ;**
- **De meest beduidende bit levert de nieuwe frequentie op (max  $F_{in}/2$ )**
- **k bepaalt de resolutie: kan zeer hoog zijn (bv 48)**
- **De jitter wordt meestal weggenomen door een banddoorlaatfilter of een PLL**

**Directe digitale frequentie synthese (DDFS) met DAC**

$$F_{uit} = F_{in} \frac{N}{2^k}$$

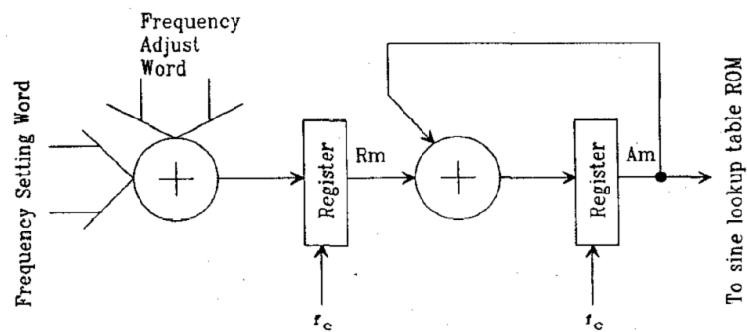
- De inhoud van het register R geeft de fase van het signaal aan.
- Je kan de 10 of 12 meest beduidende bit hiervan nemen en de  $\sin(2\pi R)$  gaan opzoeken in een look-up tabel (ROM)
- Dit resultaat kan je naar een DAC sturen
- Een (klein) filter is nog steeds aangewezen



Voor verdere details in verband met dit voorbeeld: zie  
 IEEE journal of Solid -State Circuits 24, pg 640 (1989)

### Regelbaarheid van de frequentie

- Vaak wordt er gewerkt met een vast lang woord dat de frequentie zet en een kort woord dat toelaat hierop nog een beetje te corrigeren.



Digitale ontwerp technieken

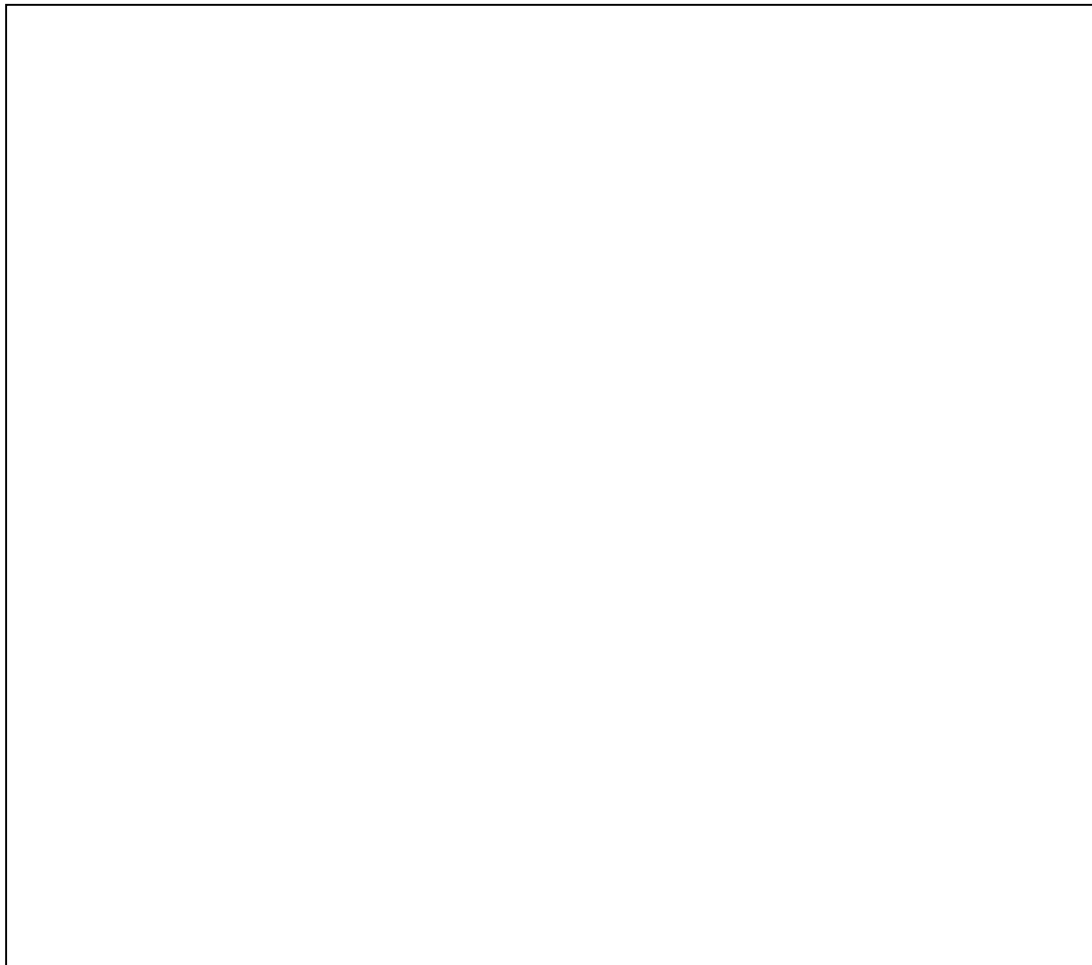
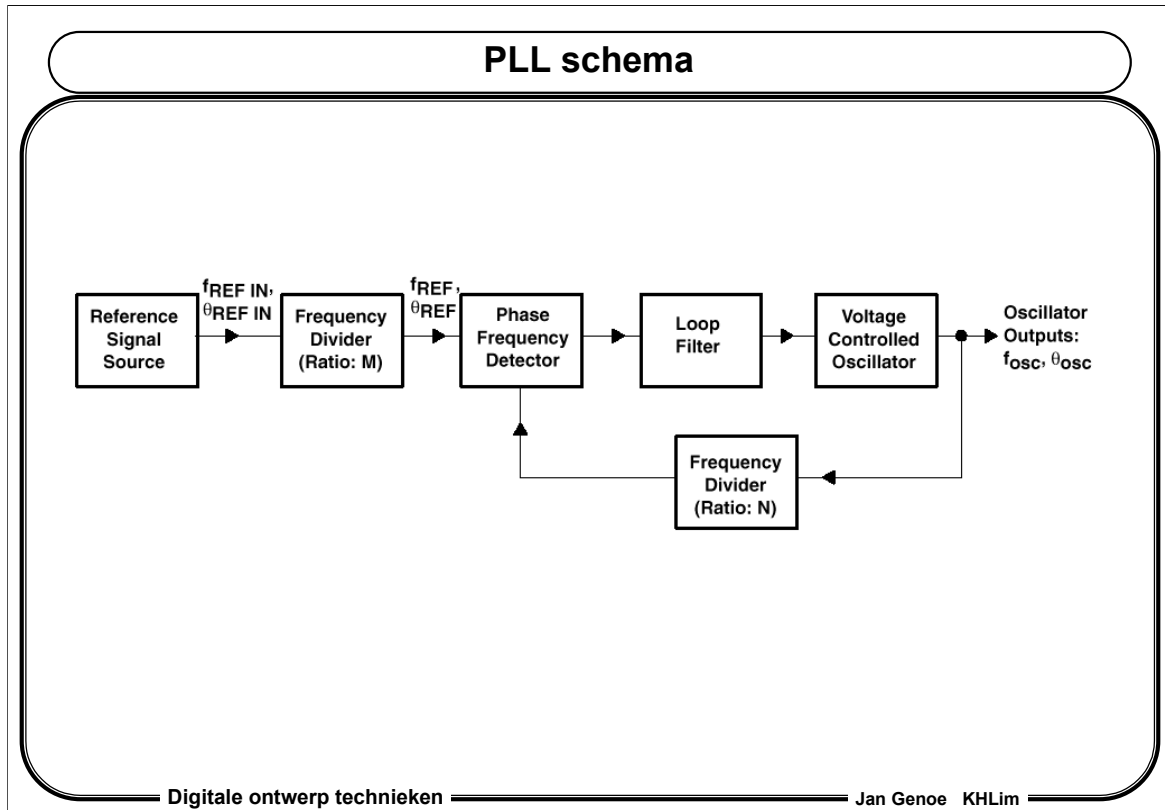
Jan Genoe KHLim

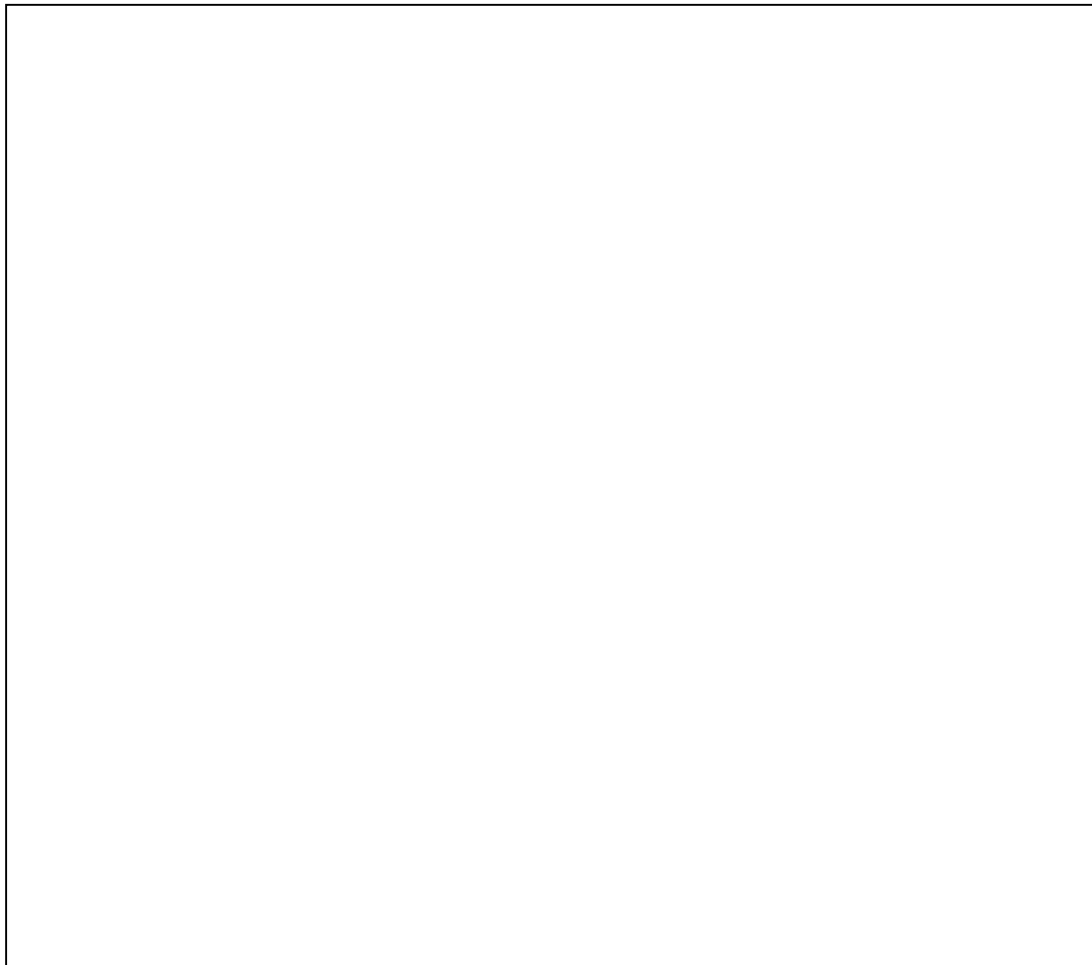
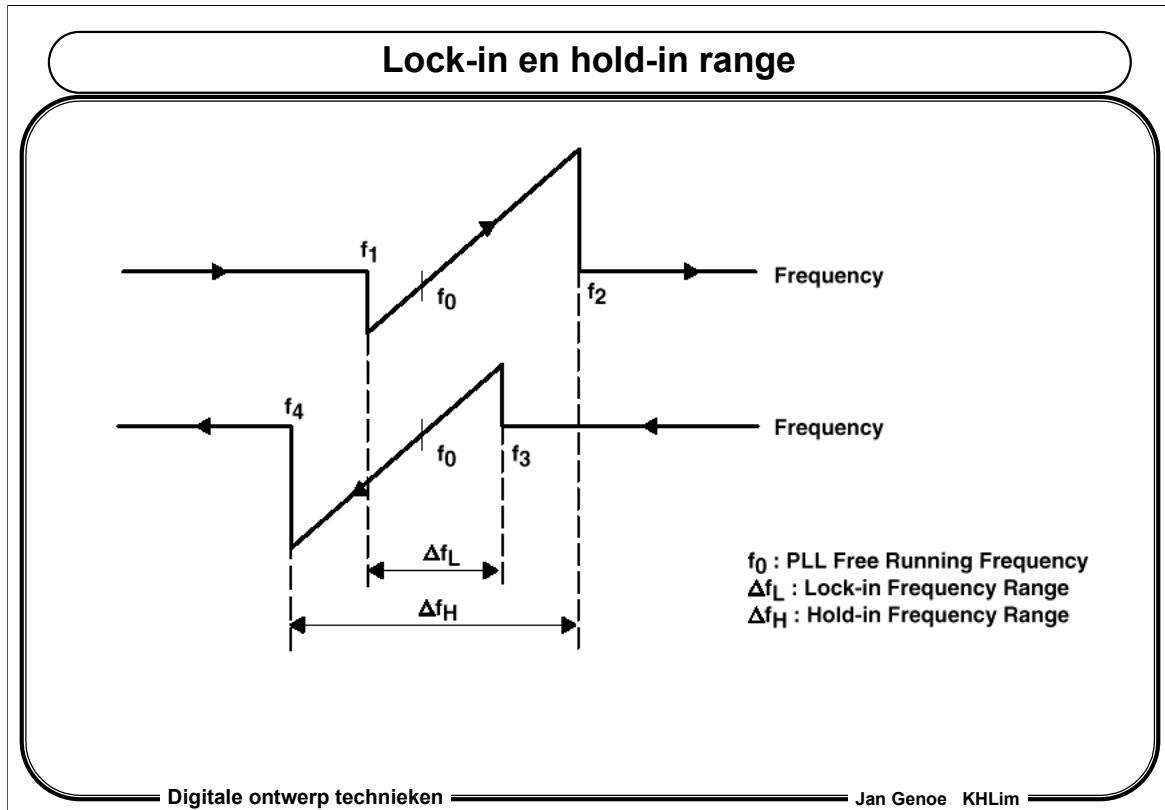
Voor verdere details in verband met dit voorbeeld: zie  
IEEE journal of Solid -State Circuits 27, pg 113 (1992)

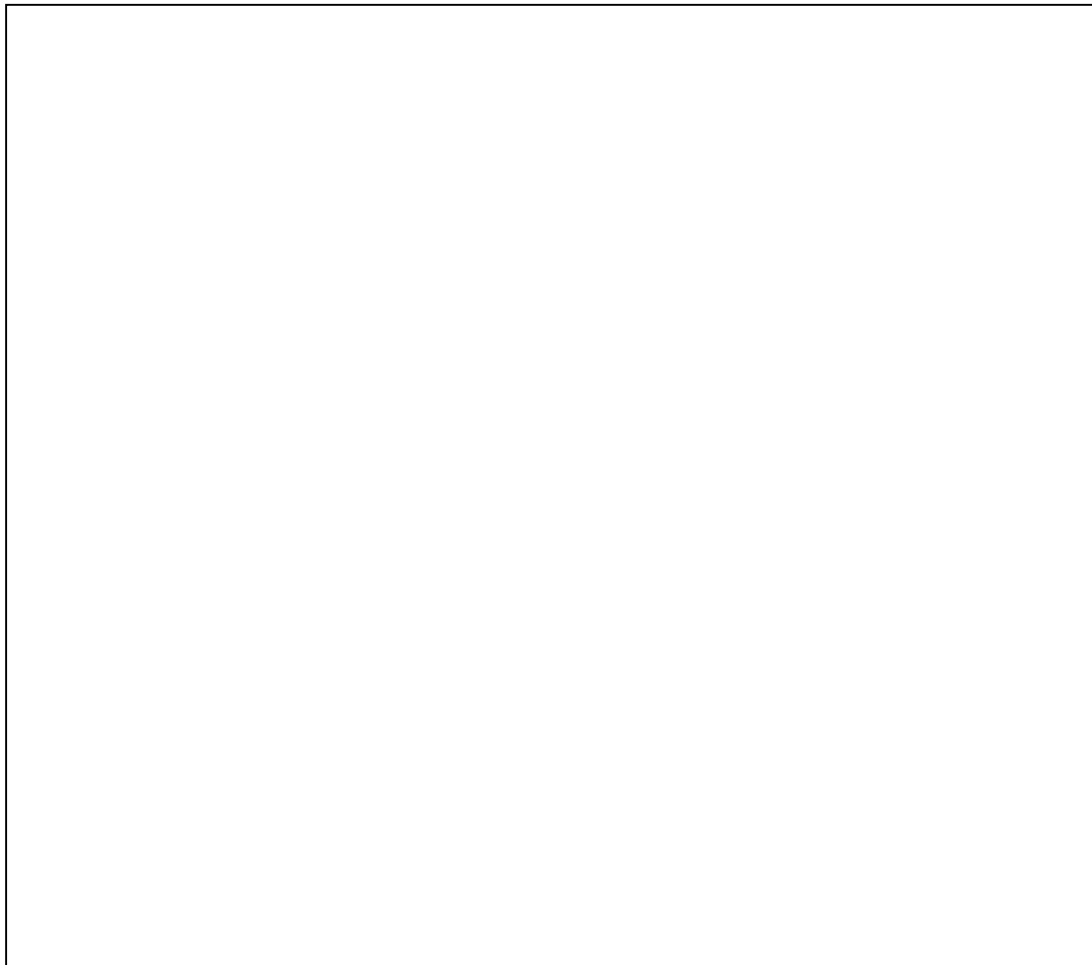
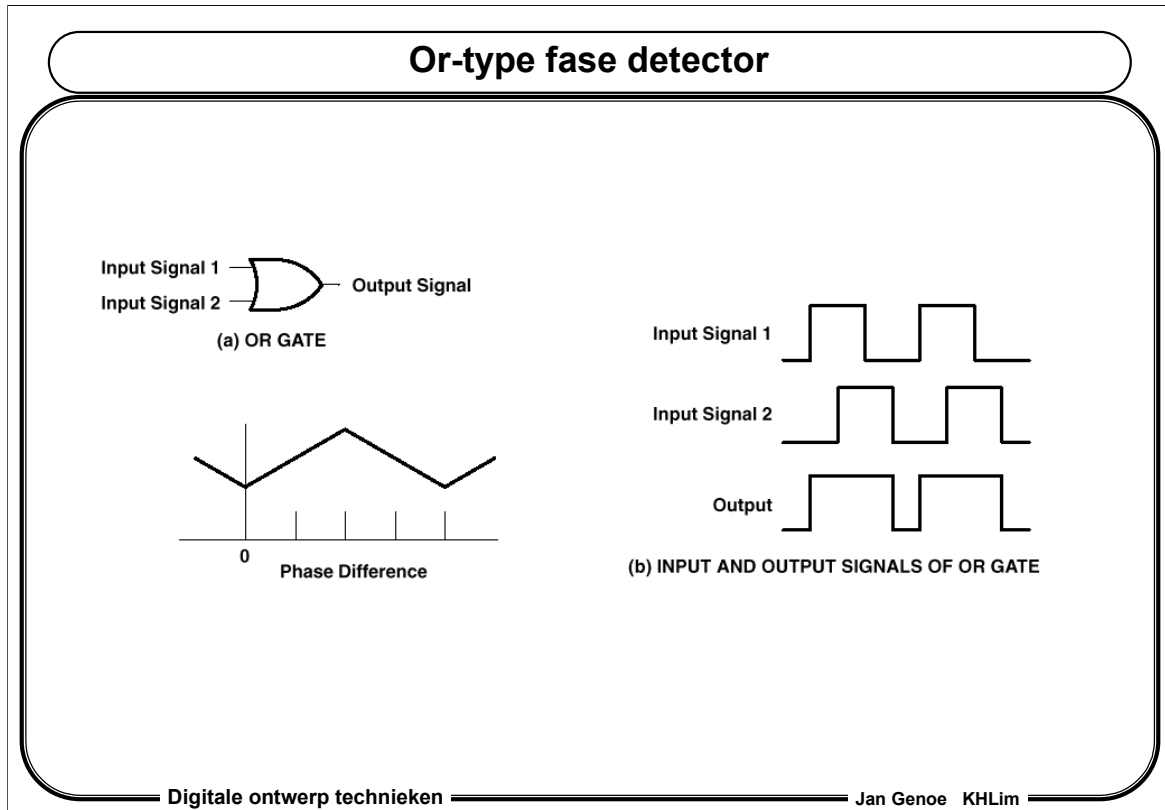
**Fractional-N synthese**

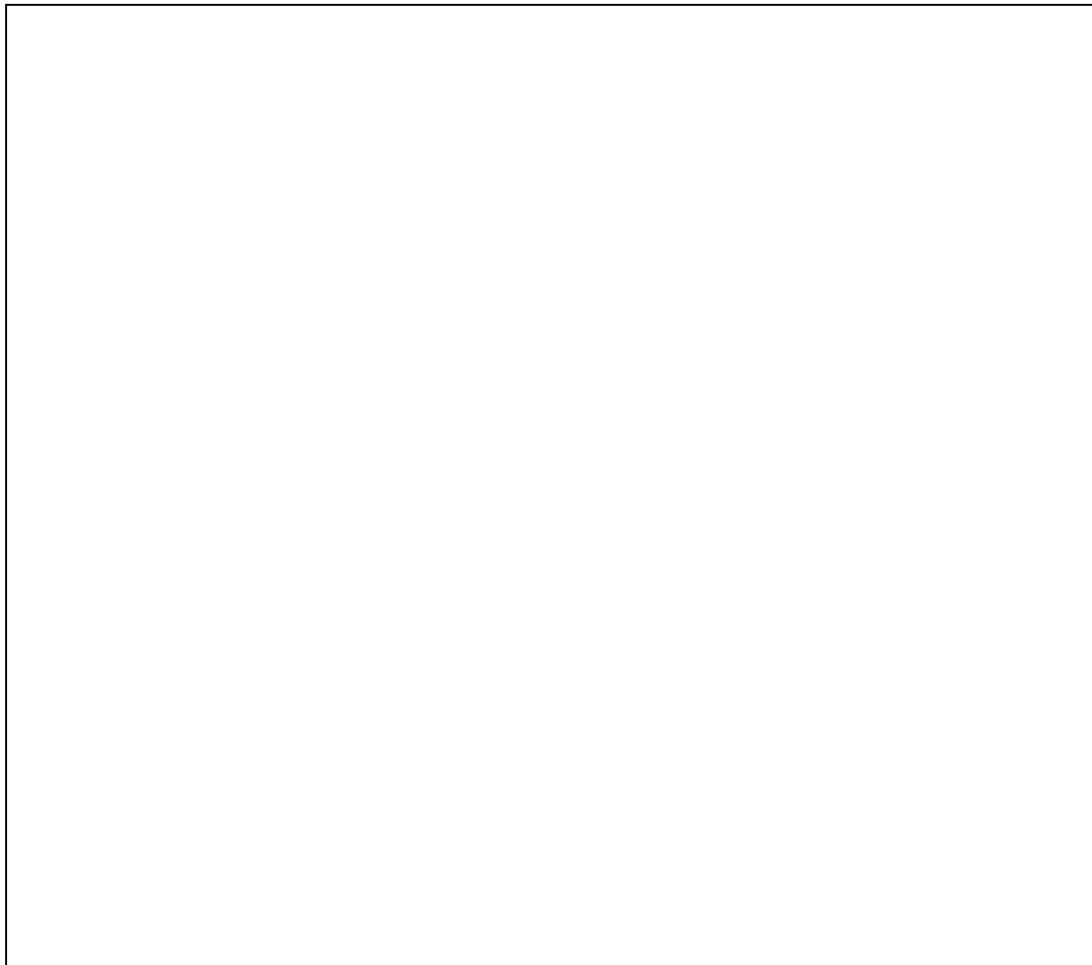
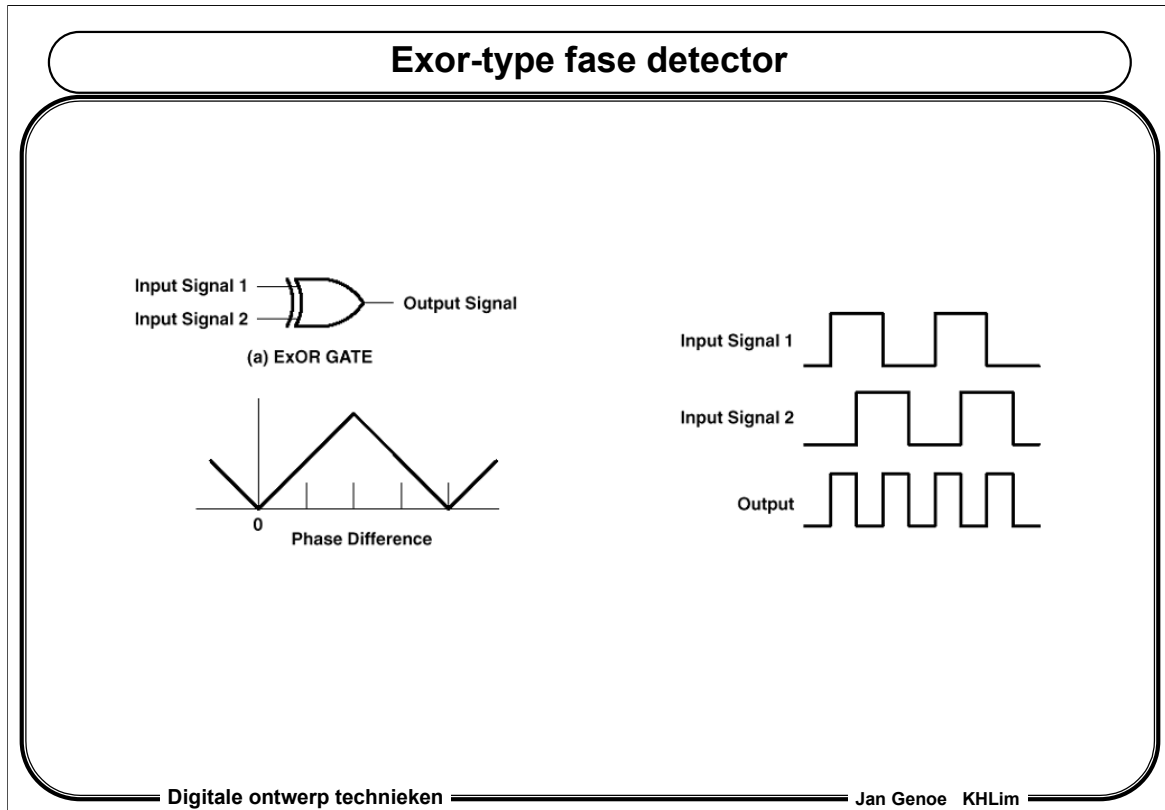
$$F_{uit} = F_{in} \frac{C + D}{C \cdot A + D \cdot B}$$

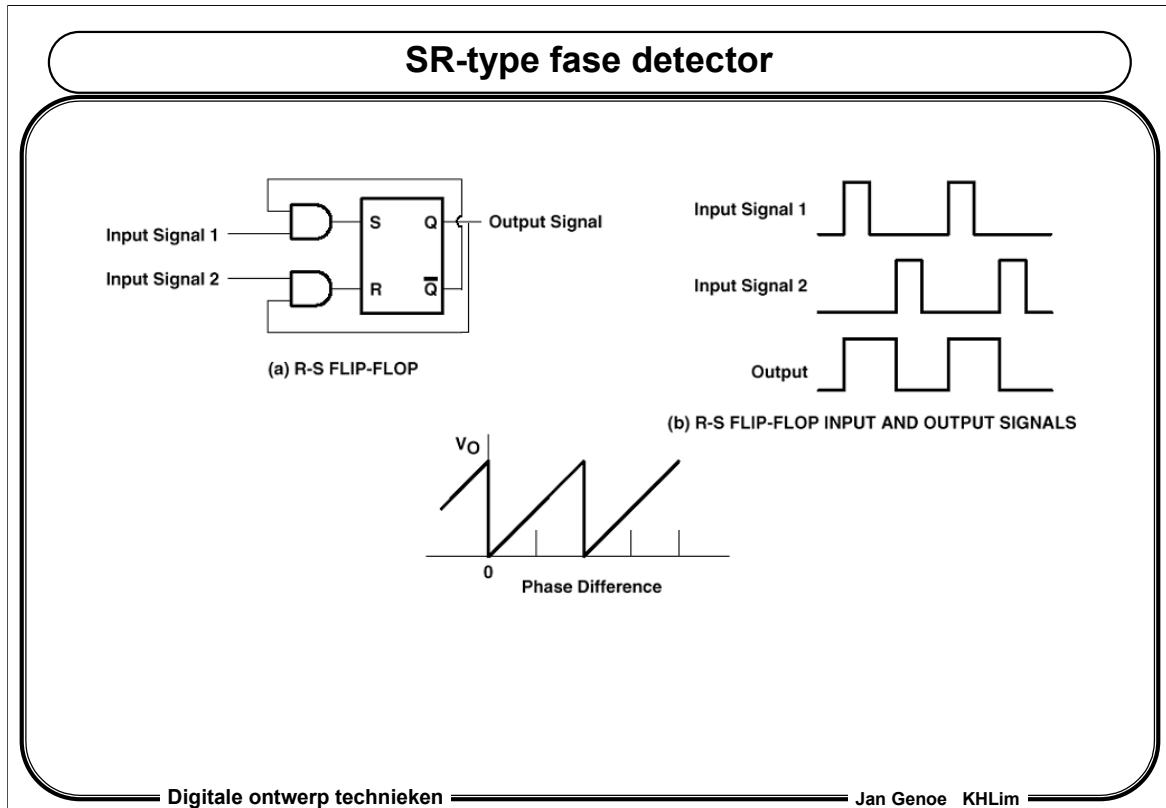
- Een deler waarvan de modulo kan variëren (bv 10 en 11) gebruiken we gedurende een bepaald aantal klokcycli (C) met modulo A en een ander aantal klokcycli (D) met modulo B
- Kan met minder registers en logica gemaakt worden
- Is moeilijker lineair in te stellen





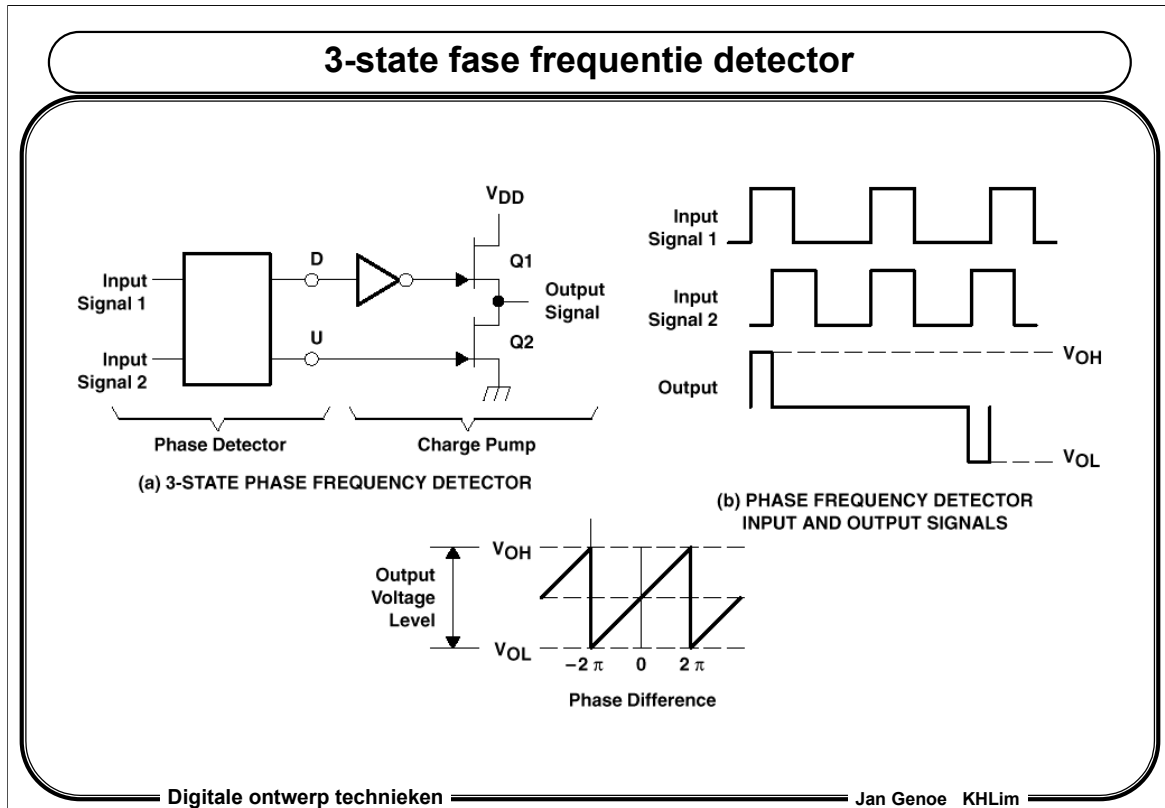






Het basisprincipe is dat signaal 1 de output set en signaal 2 de output reset. Het tijdsverschil tussen beiden bepaalt de breedte van de output puls.

De terugkoppeling is voorzien omdat wanneer S en R beiden gelijktijdig hoog zijn de output onstabiel is. Eigenlijk is het dus een JK flipflop.



Dit systeem bestaat uit 2 gekruiste SR systemen, waarbij telkens de set verhinderd wordt als de andere uitgang reeds hoog is.

Het belangrijkste voordeel van dit systeem is dat het lineair regelbaar is rond de fase 0.